

27.06.03

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。  
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2003年 3月 7日

出 願 番 号

Application Number:

PCT/JP03/02757

出 願 人

Applicant (s):

三菱電機株式会社

飛田 洋一

REC'D 01 AUG 2003

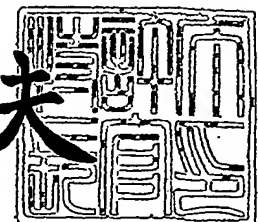
WIPO PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 7月 17日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY 出証平 15-500191

0	受理官庁記入欄	
0-1	国際出願番号	PCT/JP 03/02757
0-2	国際出願日	07.03.03
0-3	(受付印)	PCT International Application 日本国特許庁
0-4	様式-PCT/R0/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.92 (updated 01. 01. 2003)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	902307A
I	発明の名称	サンプルホールド回路およびそれを用いた画像表示装置
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	三菱電機株式会社
II-4en	Name	mitsubishi denki kabushiki kaisha
II-5ja	あて名:	100-8310 日本国 東京都 千代田区 丸の内二丁目2番3号
II-5en	Address:	2-3, Marunouchi 2-chome Chiyoda-ku, Tokyo 100-8310 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP

## 特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年03月05日（05.03.2003）水曜日 10時11分26秒

III-1 III-1-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4j a	氏名 (姓名)	飛田 洋一
III-1-4e n	Name (LAST, First)	TOBITA, Youichi
III-1-5j a	あて名:	100-8310 日本国 東京都 千代田区 丸の内二丁目2番3号 三菱電機株式会社内
III-1-5e n	Address:	c/o MITSUBISHI DENKI KABUSHIKI KAISHA 2-3, Marunouchi 2-chome Chiyoda-ku, Tokyo 100-8310 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名 (姓名)	深見 久郎
IV-1-1en	Name (LAST, First)	FUKAMI, Hisao
IV-1-2ja	あて名:	530-0054 日本国 大阪府 大阪市 北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所
IV-1-2en	Address:	Fukami Patent Office Mitsui Sumitomo Bank Minamimorimachi Bldg. 1-29, Minamimorimachi 2-chome, Kita-ku Osaka-shi, Osaka 530-0054 Japan
IV-1-3	電話番号	06-6361-2021
IV-1-4	ファクシミリ番号	06-6361-1731
IV-1-5	電子メール	info@fukamipat.gr.jp
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)
IV-2-1ja	氏名	森田 俊雄; 仲村 義平; 堀井 豊; 野田 久登; 酒井 将行
IV-2-1en	Name(s)	MORITA, Toshio; NAKAMURA, Gihei; HORII, Yutaka; NODA, Hisato; SAKAI, Masayuki
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	—
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN DE JP KR US

## 特許協力条約に基づく国際出願願書


原本（出願用） - 印刷日時 2003年03月05日（05. 03. 2003）水曜日 10時11分26秒

V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国際出願に基づく優先権主張		
VI-1-1	出願日	2002年11月06日 (06. 11. 2002)	
VI-1-2	出願番号	PCT/JP02/11587	
VI-1-3	受理官庁名	日本国 JP	
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て（米国を指定国とする場合）	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	4	-
IX-2	明細書	43	-
IX-3	請求の範囲	4	-
IX-4	要約	1	EZABST00. TXT
IX-5	図面	63	-
IX-7	合計	115	



## 特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 2003年03月05日 (05.03.2003) 水曜日 10時11分26秒

	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	✓	-
IX-9	個別の委任状の原本	✓	-
IX-11	包括委任状の写し	✓	-
IX-17	PCT-EASYディスク	-	フレキシブルディスク
IX-18	その他	納付する手数料に相当する特許印紙を貼付した書面	-
IX-18	その他	国際事務局の口座への振込を証明する書面	-
IX-19	要約書とともに提示する図の番号	3	
IX-20	国際出願の使用言語名:	日本語	
X-1	提出者の記名押印		
X-1-1	氏名(姓名)	深見 久郎	

## 受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	07.03.03
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

## 国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

サンプルホールド回路およびそれを用いた画像表示装置

5 技術分野

この発明はサンプルホールド回路およびそれを用いた画像表示装置に関し、特に、入力電位をサンプリングし、サンプリングした電位を保持および出力するサンプルホールド回路と、それを用いた画像表示装置とに関する。

10 背景技術

図 6 6 は、従来の液晶表示装置の要部を示す回路図である。図 6 6 において、この液晶表示装置では、走査線 2 0 1 とデータ線 2 0 2 の交差部に液晶素子 2 0 3 およびサンプルホールド回路 2 0 4 が配置されている。サンプルホールド回路 2 0 4 は、スイッチ 2 0 5 およびキャパシタ 2 0 7 を含む。スイッチ 2 0 5 は、  
15 データ線 2 0 2 とノード N 2 0 0 との間に接続され、走査線 2 0 1 が選択レベルの「H」レベルの期間に導通する。スイッチ 2 0 5 は、寄生抵抗を有する。図 6 6 では、寄生抵抗は、スイッチ 2 0 5 に並列接続された抵抗素子 2 0 6 で示されている。キャパシタ 2 0 7 は、ノード N 2 0 0 と共通電位 V S S のラインとの間に接続される。液晶素子 2 0 3 は、ノード N 2 0 0 と駆動電位 V D D のラインとの間に接続される。  
20

走査線 2 0 1 が選択レベルの「H」レベルに立上げられると、スイッチ 2 0 5 が導通し、ノード N 2 0 0 はデータ線 2 0 2 の電位に充電される。走査線 2 0 1 が非選択レベルの「L」レベルに立下げられると、スイッチ 2 0 5 が非導通になり、ノード N 2 0 0 の電位はキャパシタ 2 0 7 によって保持される。液晶素子 2  
25 0 3 は、ノード N 2 0 0 の電位に応じた光透過率を示す。

しかし、従来の液晶表示装置では、走査線 2 0 1 が「L」レベルにされた状態でデータ線 2 0 2 の電位が変化したときに、抵抗素子 2 0 6 を介してノード N 2 0 0 とデータ線 2 0 2 との間にリーク電流が流れ、ノード N 2 0 0 の電位が変化してしまう。このため所定周期でノード N 2 0 0 の電位をリフレッシュ（再書

込) する必要があり、比較的大きな電力が消費されていた。

#### 発明の開示

5 それゆえに、この発明の主たる目的は、保持電位の変化が小さいサンプルホールド回路と、それを用いた画像表示装置とを提供することである。

この発明に係るサンプルホールド回路では、その一方電極が入力電位を受け、第1の期間に導通する第1のスイッチング素子と、その一方電極が第1のスイッチング素子の他方電極に接続され、第2の期間に導通する第2のスイッチング素子と、その一方電極が第1のスイッチング素子の他方電極に接続され、その他方電極が所定の電位を受ける第1のキャパシタと、その入力ノードが第2のスイッチング素子の他方電極に接続され、その出力ノードが第1のスイッチング素子の他方電極に接続され、入力ノードの電位に応じた電位を出力ノードに出力する駆動回路とが設けられる。したがって、第1および第2のスイッチング素子を第1および第2の期間に導通させて入力電位をサンプリングした後に、入力電位が変  
10 化したときでも、第1のスイッチング素子の他方電極の電位を駆動回路によって保持するので、サンプリングした電位の変化が小さくて済む。

また、この発明に係る画像表示装置では、上記サンプルホールド回路と、その出力電位によって駆動される液晶素子またはエレクトロルミネッセンス素子とが設けられる。この場合は、階調電位のリフレッシュの頻度が少なくて済み、消費  
20 電力の低減化を図ることができる。

#### 図面の簡単な説明

図1は、この発明の実施の形態1によるカラー液晶表示装置の全体構成を示すブロック図である。

25 図2は、図1に示した水平走査回路の要部を示す回路ブロック図である。

図3は、図1に示した各液晶セルに対応して設けられたサンプルホールド回路の構成を示す回路図である。

図4は、図3に示した駆動回路の構成を示す回路図である。

図5は、図4に示した駆動回路の動作を説明するための回路図である。

図 6 は、図 4 に示した駆動回路の動作を説明するためのタイムチャートである。

図 7 は、実施の形態 1 の変更例を示す回路図である。

図 8 は、実施の形態 1 の他の変更例を示す回路図である。

図 9 は、実施の形態 1 のさらに他の変更例を示す回路図である。

5 図 10 は、実施の形態 1 のさらに他の変更例を示す回路図である。

図 11 は、実施の形態 1 のさらに他の変更例を示す回路図である。

図 12 は、この発明の実施の形態 2 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 13 は、図 12 に示した駆動回路の構成をより詳細に示す回路図である。

10 図 14 は、実施の形態 2 の変更例を示す回路図である。

図 15 は、実施の形態 2 の他の変更例を示す回路図である。

図 16 は、実施の形態 2 のさらに他の変更例を示す回路図である。

図 17 は、この発明の実施の形態 3 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

15 図 18 は、図 17 に示した駆動回路の動作を示すタイムチャートである。

図 19 は、実施の形態 3 の変更例を示す回路図である。

図 20 は、この発明の実施の形態 4 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 21 は、実施の形態 4 の変更例を示す回路図である。

20 図 22 は、実施の形態 4 の他の変更例を示す回路図である。

図 23 は、実施の形態 4 のさらに他の変更例を示す回路図である。

図 24 は、実施の形態 4 のさらに他の変更例を示す回路図である。

図 25 は、実施の形態 4 のさらに他の変更例を示す回路図である。

25 図 26 は、この発明の実施の形態 5 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 27 は、図 26 に示した駆動回路の動作を示すタイムチャートである。

図 28 は、実施の形態 5 の変更例を示す回路図である。

図 29 は、この発明の実施の形態 6 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 3 0 は、実施の形態 6 の変更例を示す回路図である。

図 3 1 は、この発明の実施の形態 7 によるサンプルホールド回路の駆動回路の構成を示す回路図である。

図 3 2 は、図 3 1 に示した駆動回路の構成を示す回路図である。

5 図 3 3 は、この発明の実施の形態 8 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 3 4 は、図 3 3 に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

10 図 3 5 は、この発明の実施の形態 9 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 3 6 は、図 3 5 に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

図 3 7 は、図 3 5 に示したオフセット補償機能付駆動回路の動作を示す他のタイムチャートである。

15 図 3 8 は、実施の形態 9 の変更例を示す回路図である。

図 3 9 は、実施の形態 9 の他の変更例を示す回路図である。

図 4 0 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 4 1 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 4 2 は、実施の形態 9 のさらに他の変更例を示す回路図である。

20 図 4 3 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 4 4 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 4 5 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 4 6 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 4 7 は、実施の形態 9 のさらに他の変更例を示す回路図である。

25 図 4 8 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 4 9 は、実施の形態 9 のさらに他の変更例を示す回路図である。

図 5 0 は、この発明の実施の形態 1 0 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 5 1 は、図 5 0 に示したオフセット補償機能付駆動回路の動作を示すタイム

チャートである。

図 5 2 は、図 5 0 に示したオフセット補償機能付駆動回路の動作を示す他のタイムチャートである。

5 図 5 3 は、この発明の実施の形態 1 1 によるサンプルホールド回路のオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

図 5 4 は、図 5 3 に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

図 5 5 は、この発明の実施の形態 1 2 によるサンプルホールド回路のプッシュ型駆動回路の構成を示す回路図である。

10 図 5 6 は、図 5 5 に示したプッシュ型駆動回路の構成をより詳細に示す回路図である。

図 5 7 は、実施の形態 1 2 の変更例を示す回路図である。

図 5 8 は、実施の形態 1 2 の他の変更例を示す回路図である。

15 図 5 9 は、この発明の実施の形態 1 3 によるサンプルホールド回路のプル型駆動回路の構成を示す回路図である。

図 6 0 は、実施の形態 1 3 の変更例を示す回路図である。

図 6 1 は、この発明の実施の形態 1 4 によるサンプルホールド回路の駆動回路の構成を示す回路ブロック図である。

図 6 2 は、実施の形態 1 4 の変更例を示す回路図である。

20 図 6 3 は、実施の形態 1 4 の他の変更例を示す回路図である。

図 6 4 は、実施の形態 1 4 のさらに他の変更例を示す回路図である。

図 6 5 は、図 6 4 に示した駆動回路の構成をより詳細に示す回路図である。

図 6 6 は、従来の液晶表示装置の要部を示す回路図である。

発明を実施するための最良の形態

25 [実施の形態 1]

図 1 は、この発明の実施の形態 1 によるカラー液晶表示装置の構成を示すブロック図である。図 1 において、このカラー液晶表示装置は、液晶パネル 1、垂直走査回路 7 および水平走査回路 8 を備え、たとえば携帯電話機に設けられる。

液晶パネル 1 は、複数行複数列に配列された複数の液晶セル 2 と、各行に対応

して設けられた走査線 4 および共通電位線 5 と、各列に対応して設けられたデータ線 6 とを含む。

液晶セル 2 は、各行において 3 つずつ予めグループ化されている。各グループの 3 つの液晶セル 2 には、それぞれ R、G、B のカラーフィルタが設けられている。各グループの 3 つの液晶セル 2 は、1 つの画素 3 を構成している。

垂直走査回路 7 は、画像信号に従って、複数の走査線 4 を所定時間ずつ順次選択し、選択した走査線 4 を選択レベルの「H」レベルにする。走査線 4 が選択レベルの「H」レベルにされると、その走査線 4 に対応する各液晶セル 2 とその液晶セル 2 に対応するデータ線 6 とが結合される。

水平走査回路 8 は、画像信号に従って、垂直走査回路 7 によって 1 本の走査線 4 が選択されている間に複数のデータ線 6 をたとえば 1 2 本ずつ順次選択し、選択した各データ線 6 に階調電位  $V_G$  を与える。液晶セル 2 の光透過率は、階調電位  $V_G$  のレベルに応じて変化する。

垂直走査回路 7 および水平走査回路 8 によって液晶パネル 1 の全液晶セル 2 が走査されると、液晶パネル 1 には 1 つの画像が表示される。

図 2 は、図 1 に示した水平走査回路 8 の要部を示す回路ブロック図である。図 2 において、水平走査回路 8 は、階調電位発生回路 10 および駆動回路 13 を含む。階調電位発生回路 10 および駆動回路 13 は、水平走査回路 8 によって同時に選択されるデータ線 6 の数（この場合は 1 2）だけ設けられている。

階調電位発生回路 10 は、第 1 電源電位  $V_1$  (5 V) のノードと第 2 電源電位  $V_2$  (0 V) のノードとの間に直列接続された  $n+1$  個（ただし、 $n$  は自然数である）の抵抗素子 11. 1 ~ 11.  $n+1$  と、 $n+1$  個の抵抗素子 11. 1 ~ 11.  $n+1$  の間の  $n$  個のノードと出力ノード 10 a との間にそれぞれ接続された  $n$  個のスイッチ 12. 1 ~ 12.  $n$  とを含む。

$n+1$  個の抵抗素子 11. 1 ~ 11.  $n+1$  の間の  $n$  個のノードには、それぞれ  $n$  段階の電位が現われる。スイッチ 12. 1 ~ 12.  $n$  は、画像濃度信号  $\phi_P$  によって制御され、それらのうちのいずれか 1 つのみが導通状態にされる。出力ノード 10 a には、 $n$  段階の電位のうちのいずれか 1 つの段階の電位が階調電位  $V_G$  として出力される。駆動回路 13 は、選択されたデータ線 6 が階調電位  $V_G$

になるようにデータ線6に電流を供給する。

図3は、各液晶素子2に対応して設けられたサンプルホールド回路14の構成を示す回路図である。図3において、このサンプルホールド回路14は、スイッチ15、16、キャパシタ19および駆動回路20を含む。スイッチ15、16は、対応のデータ線6と駆動回路20の入力ノードN20との間に直列接続される。スイッチ15、16は、ともに、対応の走査線4が選択レベルの「H」レベルの場合に導通し、対応の走査線4が非選択レベルの「L」レベルの場合に非導通になる。

スイッチ15、16の各々の端子間には寄生抵抗が存在する。図3では、スイッチ15、16の寄生抵抗は、それぞれ抵抗素子17、18で示されている。抵抗素子17、18は、それぞれスイッチ15、16に並列接続されている。スイッチ15、16の各々は、たとえば、N型トランジスタ、またはP型トランジスタ、または並列接続されたN型トランジスタおよびP型トランジスタで構成される。走査線4は、スイッチ15、16に含まれるN型トランジスタのゲートに直接接続される。また走査線4は、スイッチ15、16に含まれるP型トランジスタのゲートにインバータを介して接続される。

キャパシタ19の一方電極はノードN20に接続され、キャパシタ19の他方電極は共通電位線5から共通電位VSSを受ける。駆動回路20は、入力ノードN20の電位に等しい電位を出力ノードN30に出力する。駆動回路20の出力ノードN30は、スイッチ15と16の間のノードN10に接続されるとともに、液晶セル2の一方電極に接続される。液晶セル2の他方電極には駆動電位VDDが与えられる。

次に、このサンプルホールド回路14の動作について説明する。走査線4が選択レベルの「H」レベルにされると、スイッチ15、16が導通し、ノードN10、N20、N30の電位がデータ線6の電位と同じになる。走査線4が非選択レベルの「L」レベルにされると、ノードN20の電位はキャパシタ19によって保持される。ノードN10の電位は、駆動回路20によってノードN20と同じ電位に保持される。ノードN20の電位は、抵抗素子17、18を介してデータ線6の電位変化に影響を受けて変化しようとするが、ノードN10の電位を駆



動回路20によって保持するので、データ線6の電位変化がノードN10の電位に対して及ぼす影響は従来に比べて小さい。

図4は、駆動回路20の構成を示す回路図である。図4において、駆動回路20は、レベルシフト回路21、25、キャパシタ29、プルアップ回路30およびプルダウン回路33を含む。

レベルシフト回路21は、第3電源電位V3（15V）のノードと接地電位GNDのノードとの間に直列接続された抵抗素子22、N型電界効果トランジスタ（以下、N型トランジスタと称す）23およびP型電界効果トランジスタ（以下、P型トランジスタと称す）24を含む。N型トランジスタ23のゲートは、そのドレイン（ノードN22）に接続されている。N型トランジスタ23は、ダイオード素子を構成する。P型トランジスタ24のゲートは、入力ノードN20に接続される。抵抗素子22の抵抗値は、トランジスタ23、24の導通抵抗値よりも十分大きな値に設定されている。

入力ノードN20の電位（階調電位）を $V_I$ とし、P型トランジスタのしきい値電圧を $V_{TP}$ とし、N型トランジスタのしきい値電圧を $V_{TN}$ とすると、P型トランジスタ24のソース（ノードN23）の電位 $V_{23}$ およびN型トランジスタ23のドレイン（ノードN22）の電位 $V_{22}$ はそれぞれ次式（1）（2）で表わされる。

$$V_{23} = V_I + |V_{TP}| \quad \dots (1)$$

$$V_{22} = V_I + |V_{TP}| + V_{TN} \quad \dots (2)$$

したがって、レベルシフト回路21は、入力電位 $V_I$ を $|V_{TP}| + V_{TN}$ だけレベルシフトさせた電位 $V_{22}$ を出力する。

レベルシフト回路25は、第4電源電位V4（5V）のノードと第5電源電位V5（-10V）との間に直列接続されたN型トランジスタ26、P型トランジスタ27および抵抗素子28を含む。N型トランジスタ26のゲートは、入力ノードN20に接続される。P型トランジスタ27のゲートは、そのドレイン（ノードN27）に接続される。P型トランジスタ27は、ダイオード素子を構成する。抵抗素子28の抵抗値は、トランジスタ26、27の導通抵抗値よりも十分大きな値に設定されている。

N型トランジスタ26のソース（ノードN26）の電位 $V_{26}$ およびP型トランジスタ27のドレイン（ノードN27）の電位 $V_{27}$ は、それぞれ次式（3）（4）で表わされる。

$$V_{26} = V_I - V_{TN} \quad \dots (3)$$

5  $V_{27} = V_I - V_{TN} - |V_{TP}| \quad \dots (4)$

したがって、レベルシフト回路25は、入力電位 $V_I$ を $-V_{TN} - |V_{TP}|$ だけレベルシフトさせた電位 $V_{27}$ を出力する。

10 キャパシタ29は、レベルシフト回路21の出力ノードN22とレベルシフト回路25の出力ノードN27との間に接続される。キャパシタ29は、ノードN22の電位変化をノードN27に伝達するとともに、ノードN27の電位変化をノードN22に伝達する。

15 プルアップ回路30は、第6電源電位 $V_6$ （1.5V）のノードと出力ノードN30との間に直列接続されたN型トランジスタ31およびP型トランジスタ32を含む。出力ノードN30には、負荷容量（液晶素子2およびスイッチ15,16の寄生容量）36が接続されている。N型トランジスタ31のゲートは、レベルシフト回路21の出力電位 $V_{22}$ を受ける。P型トランジスタ32のゲートは、そのドレインに接続されている。P型トランジスタ32は、ダイオード素子を構成する。N型トランジスタ31は飽和領域で動作するように第6電源電位 $V_6$ が設定されているので、N型トランジスタ31はいわゆるソースフォロア動作を行なう。

20 今、説明の都合上、図5に示すように、P型トランジスタ32のドレイン（ノードN30'）と出力ノードN30との間が非導通状態にあると仮定する。N型トランジスタ31のソース（ノードN31）の電位 $V_{31}$ およびP型トランジスタ32のドレイン（ノードN30'）の電位 $V_{30'}$ は、それぞれ次式（5）（6）で表わされる。

$$V_{31} = V_{22} - V_{TN} = V_I + |V_{TP}| \quad \dots (5)$$

$$V_{30'} = V_{31} - |V_{TP}| = V_I \quad \dots (6)$$

図4に戻って、プルダウン回路33は、第7電源電位 $V_7$ （-1.0V）のノードと出力ノードN30との間に直列接続されたP型トランジスタ35およびN型

トランジスタ 3 4 を含む。P 型トランジスタ 3 5 のゲートは、レベルシフト回路 2 5 の出力電位  $V_{27}$  を受ける。N 型トランジスタ 3 4 のゲートは、そのドレインに接続されている。N 型トランジスタ 3 4 は、ダイオード素子を構成する。P 型トランジスタ 3 5 は飽和領域で動作するように第 7 電源電位  $V_7$  が設定されているので、P 型トランジスタ 3 5 はいわゆるソースフォロア動作を行なう。

今、説明の都合上、図 5 に示すように、N 型トランジスタ 3 4 のドレイン（ノード  $N_{30''}$ ）と出力ノード  $N_{30}$  との間が非導通状態にあると仮定する。P 型トランジスタ 3 5 のソース（ノード  $N_{34}$ ）の電位  $V_{34}$  および N 型トランジスタ 3 4 のドレイン（ノード  $N_{30''}$ ）の電位  $V_{30''}$  は、それぞれ次式（7）（8）で表わされる。

$$V_{34} = V_{27} + |V_{TP}| = V_I - V_{TN} \quad \cdots (7)$$

$$V_{30''} = V_{34} + V_{TN} = V_I \quad \cdots (8)$$

数式（7）（8）は、P 型トランジスタ 3 2 のドレイン（ノード  $N_{30'}$ ）と N 型トランジスタ 3 4 のドレイン（ノード  $N_{30''}$ ）とを接続しても第 6 電源電位  $V_6$  のノードと第 7 電源電位  $V_7$  のノードとの間には電流は流れず、出力ノード  $N_{30}$  の電位  $V_O$  が入力ノード  $N_{20}$  の電位  $V_I$  と同じになることを示している。したがって、抵抗素子 2 2，2 8 の抵抗値を十分に大きくしておけば、 $V_O = V_I$  となった定常状態では、貫通電流は極めて小さくなる。

図 6 は、この駆動回路 2 0 の交流動作（遷移状態での動作）を説明するためのタイムチャートである。図 6 において、初期状態では、 $V_I = V_L$  とされているものとする。これにより、 $V_{22}$ ， $V_{27}$ ， $V_O$  は、それぞれ以下のようにになっている。

$$V_{22} = V_L + |V_{TP}| + V_{TN}$$

$$V_{27} = V_L - |V_{TP}| - V_{TN}$$

$$V_O = V_L$$

時刻  $t_1$  において  $V_I$  が  $V_L$  から  $V_H$  に立上げられると、 $V_{22}$ ， $V_{27}$ ， $V_O$  は所定時間の経過後にそれぞれ以下のようにになる。

$$V_{22} = V_H + |V_{TP}| + V_{TN}$$

$$V_{27} = V_H - |V_{TP}| - V_{TN}$$

$V_O = V_H$

このレベル変化の過程で、以下の動作が行なわれる。レベルシフト回路 25 では、時刻  $t_1$  において入力電位  $V_I$  が  $V_L$  から  $V_H$  に立上げられると、N型トランジスタ 26 の駆動能力が高くなり、ノード N 26 の電位  $V_{26}$  が急速に上昇する。これにより、P型トランジスタ 27 のソース・ゲート間電圧が大きくなって P型トランジスタ 27 の駆動能力も高くなり、ノード N 27 の電位  $V_{27}$  が急速に上昇する。

ノード N 27 の電位  $V_{27}$  が急速に上昇すると、容量結合によってキャパシタ 29 を介してノード N 22 の電位  $V_{22}$  が  $V_H - V_L$  分だけ急速に上昇する。これに応じて出力ノード N 30 の電位  $V_O$  も  $V_L$  から  $V_H$  に急速に立上げられる。

また時刻  $t_2$  において入力電位  $V_I$  が  $V_H$  から  $V_L$  に立下げられると、P型トランジスタ 24 の駆動能力が高くなり、ノード N 23 の電位  $V_{23}$  が急速に低下する。これにより、N型トランジスタ 23 のゲート・ソース間電圧が大きくなって N型トランジスタ 23 の駆動能力も高くなり、ノード N 22 の電位  $V_{22}$  が急速に低下する。

ノード N 22 の電位  $V_{22}$  が急速に低下すると、容量結合によってキャパシタ 26 を介してノード N 27 の電位  $V_{27}$  が  $V_H - V_L$  分だけ急速に低下する。これに応じて出力ノード N 30 の電位  $V_O$  も  $V_H$  から  $V_L$  に急速に立下げられる。

また駆動回路 20 では、定常状態ではプルアップ回路 30 およびプルダウン回路 33 に貫通電流は流れず、抵抗素子 22, 26 の抵抗値をトランジスタ 23, 24, 26, 27 の導通抵抗値よりも十分高くすることによりレベルシフト回路 21, 25 の貫通電流も小さくすることができるので、直流電流の低減化を図ることができる。また、キャパシタ 26 を設けたので、入力電位  $V_I$  の変化に対しても迅速に応答することができる。

この実施の形態 1 では、サンプルホールド回路 14 において、データ線 6 と駆動回路 20 の入力ノード N 20 との間に 2 つのスイッチ 15, 16 を直列接続し、駆動回路 20 によってスイッチ 15, 16 間のノード N 10 の電位をノード N 20 の電位に保持するので、データ線 6 の電位が変化した場合でもノード N 10, N 20, N 30 の電位変化を小さく抑えることができる。したがって、ノード N

10, N20, N30の電位をリフレッシュする頻度を少なくすることができ、消費電力の低減化を図ることができる。

5      なお、液晶セル2の駆動電圧の極性を所定周期で切換えることにより、液晶表示装置の低消費電力化を図ることも可能である。液晶セル2の駆動電圧の極性を所定周期で切換える方法としては、たとえば、図2の第1電源電位V1を所定周期で5Vおよび0Vに交互に切換え、第2電源電位V2を0Vおよび5Vに所定周期で交互に切換え、図3の駆動電位VDDおよび共通電位VSSの各々を所定周期で0Vおよび5Vに交互に切換える方法がある。

10      また、サンプルホールド回路14は、液晶表示装置のような画像表示装置において階調電位をサンプルリングおよびホールドすることに用いられるだけでなく、アナログ電位をサンプルリングおよびホールドして負荷回路に与える回路としてどのような用途にも使用可能であることは言うまでもない。

15      また、駆動回路20は、液晶表示装置のような画像表示装置において階調電位を伝達することに用いられるだけでなく、入力されたアナログ電位と同電位になるように出力ノードの電位を制御するアナログバッファとしてどのような用途にも使用可能であることは言うまでもない。

20      また、駆動回路20の電界効果トランジスタは、MOSトランジスタでもよいし、TFET（薄膜トランジスタ）でもよい。また、抵抗素子は高誘電金属で形成してもよいし、不純物拡散層で形成してもよいし、占有面積低減化のために電界効果トランジスタで形成してもよい。

25      また、電界効果トランジスタをTFETで構成する場合は、抵抗素子を真性a-Si薄膜で構成するとよい。すなわち、TFETは、ガラス基板上に形成された真性a-Si薄膜の表面にゲート電極を形成し、ゲート電極の上方から所定領域に不純物を注入してゲート電極の一方側および他方側にそれぞれソースおよびドレインを形成したものである。ゲート電極によってマスクされて不純物が注入されていない部分がチャネル領域となる。チャネルができないときのチャネル領域の抵抗値、すなわち非導通時のTFETの抵抗値は、 $10^{12}\Omega$ オーダになる。

抵抗素子をトランジスタと同じサイズにすると、抵抗素子の抵抗値が非導通時のトランジスタの抵抗値と同程度になり、レベルシフト回路21, 25の電源電

圧 $V_3$ 、 $V_4 - V_5$ が抵抗素子とトランジスタで分圧されて出力レベル $V_{22}$ 、 $V_{27}$ が低下し、所望の電位が得られなくなる。これを防止するためには、抵抗素子の抵抗値をトランジスタのオフ抵抗値よりも小さくする必要がある。たとえば、抵抗素子の幅をトランジスタの幅の $10 \sim 100$ 倍にして抵抗素子の抵抗値をトランジスタの抵抗値の $1/10 \sim 1/100$ 倍にするとよい。あるいは、不純物を注入した $a-Si$ 膜で抵抗素子を構成すれば、抵抗素子の面積を大きくすることなく、抵抗素子の抵抗値を小さくすることができる。

以下、種々の変更例について説明する。図7の駆動回路40は、図4の駆動回路20からキャパシタ29を除去したものである。負荷容量36の容量値が比較的小さい場合は、トランジスタ23、24、26、27、31、32、34、35の寸法を小さくすることができる。トランジスタ23、27、31、35の寸法を小さくするとトランジスタ23、27、31、35のゲート容量が小さくなり、ノード $N_{22}$ 、 $N_{27}$ の寄生容量が小さくなる。したがって、キャパシタ29がなくても抵抗素子22、28を介して行われる充放電によってノード $N_{22}$ 、 $N_{27}$ の電位 $V_{22}$ 、 $V_{27}$ の立上げおよび立下げが可能となる。この変更例では、キャパシタ29を除去したので、回路の占有面積が小さくてすむ。

図8の駆動回路41は、図4の駆動回路20からダイオード接続されたトランジスタ23、27、32、34を除去したものである。出力電位 $V_O$ は、 $V_O = V_I + |V_{TP}| - V_{TN}$ となる。ただし、 $|V_{TP}| \simeq V_{TN}$ と設定すれば、 $V_O \simeq V_I$ となる。あるいは、 $|V_{TP}| - V_{TN}$ の値をオフセット値として使用上考慮しておけば図4の駆動回路20と同様に使用することができる。この変更例では、トランジスタ23、27、32、34を除去したので、回路の占有面積を小さくすることができる。

図9の駆動回路42は、図8の駆動回路41からさらにキャパシタ29を除去したものである。負荷容量36の容量値が比較的小さい場合は、トランジスタ24、26、31、35の寸法を小さくすることができ、ノード $N_{22}$ 、 $N_{27}$ の寄生容量を小さくすることができる。したがって、キャパシタ29がなくても抵抗素子22、28を介して行われる充放電によってノード $N_{22}$ 、 $N_{27}$ の電位 $V_{22}$ 、 $V_{27}$ の立上げおよび立下げが可能となる。この変更例では、キャパシ

タ 29 を除去したので、回路の占有面積をさらに小さくすることができる。

図 10 のカラー液晶表示装置では、各行に対応して 2 本の走査線 4 a, 4 b が設けられる。スイッチ 15, 16 は、それぞれ走査線 4 a, 4 b が選択レベルの「H」レベルの場合に導通する。スイッチ 15, 16 が同時にオンされ、スイッチ 16 がオフされた後にスイッチ 15 がオフされる。この場合は、駆動回路 20 の動作の安定化を図ることができる。

図 11 の画像表示装置は、実施の形態 1 のカラー液晶表示装置において液晶素子 2 を P 型トランジスタ 50 および有機 EL (エレクトロルミネッセンス) 素子 51 で置換したものである。P 型トランジスタ 50 および有機 EL 素子 51 は、電源電位 VCC のラインと共通電位 VSS のラインとの間に直列接続される。P 型トランジスタ 50 のゲートは、駆動回路 20 の出力ノード N30 に接続される。駆動回路 20 の出力電位に応じて P 型トランジスタ 50 の導通抵抗値が変化し、有機 EL 素子 51 に流れる電流値が変化する。これにより、有機 EL 素子 51 の明るさが変化する。有機 EL 素子 51 は、複数行複数列に配置されて 1 枚のパネルを構成し、そのパネルには 1 つの画像が表示される。

#### [実施の形態 2]

図 12 は、この発明の実施の形態 2 によるサンプルホールド回路の駆動回路 60 の構成を示す回路図である。図 12 を参照して、この駆動回路 60 が図 4 の駆動回路 20 と異なる点は、レベルシフト回路 21, 25 がそれぞれレベルシフト回路 61, 63 で置換されている点である。レベルシフト回路 61 はレベルシフト回路 21 の抵抗素子 22 を定電流源 62 で置換し、レベルシフト回路 63 はレベルシフト回路 25 の抵抗素子 28 を定電流源 64 で置換したものである。

定電流源 62 は、図 13 に示すように、P 型トランジスタ 65, 66 および抵抗素子 67 を含む。P 型トランジスタ 65 は第 3 電源電位 V3 のラインとノード N22 との間に接続され、P 型トランジスタ 66 および抵抗素子 67 は第 3 電源電位 V3 のラインと接地電位 GND のラインとの間に直列接続される。P 型トランジスタ 65, 66 のゲートは、ともに P 型トランジスタ 66 のドレインに接続される。P 型トランジスタ 65, 66 は、カレントミラー回路を構成する。P 型トランジスタ 66 および抵抗素子 67 には抵抗素子 67 の抵抗値に応じた値の定

電流が流れ、P型トランジスタ65にはP型トランジスタ66に流れる定電流の値に応じた値の定電流が流れる。なお、抵抗素子67の一方電極は接地電位GNDのラインに接続されているが、第3電源電位V3からP型トランジスタ66のしきい値電圧の絶対値 $|V_{TP}|$ を減算した電位よりも低い他の電源電位のラインに抵抗素子67の一方電極を接続してもよい。また、定電流源としてトランジスタ65、66および抵抗素子67の代わりに、ゲートとソースを互いに接続したデプレッション型のトランジスタを第3電源電位V3のラインとノードN22との間に設けてもよい。

また定電流源64は、抵抗素子68およびN型トランジスタ69、70を含む。抵抗素子68およびN型トランジスタ69は第4電源電位V4のラインと第5電源電位V5のラインとの間に直列接続され、N型トランジスタ70はノードN27と第5電源電位V5のラインとの間に接続される。N型トランジスタ69、74のゲートは、ともにN型トランジスタ69のドレインに接続される。N型トランジスタ69、70は、カレントミラー回路を構成する。抵抗素子68およびN型トランジスタ69には抵抗素子68の抵抗値に応じた値の定電流が流れ、N型トランジスタ70にはN型トランジスタ69に流れる定電流の値に応じた値の定電流が流れる。なお、抵抗素子68の一方電極は第4電源電位V4に接続されているが、第5電源電位V5にN型トランジスタ69のしきい値電圧 $V_{TN}$ を加算した電位よりも高い他の電源電位のラインに抵抗素子68の一方電極を接続してもよい。また、定電流源としてトランジスタ69、70および抵抗素子68の代わりに、ゲートとソースを互いに接続したデプレッション型のトランジスタを第5電源電位V5のラインとノードN27との間に設けてもよい。他の構成および動作は、図4の駆動回路20と同じであるので、その説明は繰返さない。

この実施の形態2では、図4の駆動回路20の抵抗素子22、28をそれぞれ定電流源62、64で置換したので入力電位V<sub>I</sub>の値に関係なく、入力電位V<sub>I</sub>に等しい出力電位V<sub>O</sub>を得ることができる。

以下、この実施の形態2の種々の変更例について説明する。図14の駆動回路71は、図12の駆動回路60からキャパシタ29を除去したものである。この変更例は、負荷容量36の容量値が比較的小さい場合に有効となる。この変更例



では、キャパシタ 29 を除去したので、回路の占有面積が小さくてすむ。

図 15 の駆動回路 72 は、図 13 の駆動回路 60 から N 型トランジスタ 23, 34 および P 型トランジスタ 27, 32 を除去したものである。この変更例では、トランジスタ 23, 27, 32, 34 を除去したので、回路の占有面積を小さく  
5 することができる。ただし、出力電位  $V_O$  は、 $V_O = V_I + |V_{TP}| - V_{TN}$  となる。

図 16 の駆動回路 73 は、図 15 の駆動回路 72 からキャパシタ 29 を除去したものである。この変更例は、負荷容量 36 の容量値が比較的小さい場合に有効となる。この変更例では、キャパシタ 29 を除去したので、回路の占有面積が小  
10 さくてすむ。

### 〔実施の形態 3〕

たとえば図 4 の駆動回路 20 において、負荷容量 36 を充放電する際、トランジスタ 31, 32, 34, 35 の各々はいわゆるソースフォロア動作を行なう。その際、出力電位  $V_O$  が入力電位  $V_I$  に近づくにつれてトランジスタ 31, 32, 34, 35 の各々のゲートソース間電圧が小さくなり、トランジスタ 31, 32, 34, 35 の電流駆動能力が低下する。トランジスタ 32, 34 についてはそれらのゲート電極幅を広くすることによって駆動能力の低下を防ぐことが可能になるが、トランジスタ 31, 35 のゲート電極幅を広くするとゲート容量が増大し、駆動回路 20 の動作速度が低下してしまう。この実施の形態 3 では、この  
15 20 問題の解決が図られる。

図 17 は、この発明の実施の形態 3 によるサンプルホールド回路の駆動回路 75 の構成を示す回路図である。図 17 を参照して、この駆動回路 75 は、図 14 の駆動回路 71 にキャパシタ 76, 77 を追加したものである。キャパシタ 76 の一方電極は昇圧信号  $\phi_B$  を受け、その他方電極はノード N22 に接続される。  
25 キャパシタ 77 の一方電極は昇圧信号  $\phi_B$  の相補信号  $\neg \phi_B$  を受け、その他方電極はノード N27 に接続される。

図 18 は、図 17 に示した駆動回路 75 の動作を示すタイムチャートである。図 18 では、理解を容易にするため、ノード N22, N27 の電位  $V_{22}$ ,  $V_{27}$  および出力電位  $V_O$  の遷移時間が実際よりも長く示されている。時刻  $t_1$  にお

いて、入力電位  $V_I$  が「L」レベル  $V_L$  から「H」レベル  $V_H$  に立上げられると、電位  $V_{22}$ ,  $V_{27}$ ,  $V_O$  の各々が徐々に上昇する。上述のとおり、電位  $V_{22}$ ,  $V_{27}$ ,  $V_O$  の各々は、電位変化の周期は比較的速く立上がるが、最終レベルに近づくにつれて上昇速度が遅くなる。

- 5 時刻  $t_1$  から所定時間経過後の時刻  $t_2$  において、昇圧信号  $\phi_B$  が「H」レベルに立上げられるとともに信号  $\phi_B$  が「L」レベルに立下げられる。信号  $\phi_B$  が「H」レベルに立上げられると、キャパシタ 76 を介して容量結合により、ノード  $N_{22}$  の電位  $V_{22}$  が所定電圧  $\Delta V_1$  だけ上昇する。信号  $\phi_B$  が「L」レベルに立下げられると、キャパシタ 77 を介して容量結合により、ノード  $N_{27}$  の電位  $V_{27}$  が所定電位  $\Delta V_2$  だけ低下する。このとき、出力ノード  $N_{30}$  に「H」レベル  $V_H$  を出力する動作を行っており、N型トランジスタ 31 の導通抵抗値の方がP型トランジスタ 35 の導通抵抗値よりも低くなっているので、 $V_{22}$  によるレベル上昇作用の方が  $V_{27}$  によるレベル降下作用よりも強く働き、出力電位  $V_O$  は時刻  $t_2$  から急速に上昇する（ $V_{22}$  を昇圧しない場合は破線で示すようになる）。
- 10
- 15

- 昇圧された電位  $V_{22}$  は、ノード  $N_{22}$  からトランジスタ 23, 24 を介して接地電位  $GND$  のラインに電流が流出することにより、 $V_I + |V_{TP}| + V_{TN}$  まで低下する。また降圧された電位  $V_{27}$  は、第4電源電位  $V_4$  のラインからトランジスタ 26, 27 を介してノード  $N_{27}$  に電流が流入することにより、 $V_I - |V_{TP}| - V_{TN}$  まで上昇する。
- 20

- 時刻  $t_3$  において、昇圧信号  $\phi_B$  が「L」レベルに立下げられるとともに信号  $\phi_B$  が「H」レベルに立上げられる。信号  $\phi_B$  が「L」レベルに立下げられると、キャパシタ 76 を介して容量結合により、ノード  $N_{22}$  の電位  $V_{22}$  が所定電圧  $\Delta V_1$  だけ低下する。また信号  $\phi_B$  が「H」レベルに立上げられると、キャパシタ 77 を介して容量結合により、ノード  $N_{27}$  の電位  $V_{27}$  が所定電圧  $\Delta V_2$  だけ上昇する。 $V_{22}$  が  $\Delta V_1$  だけ低下してもプルアップ回路 30 には出力電位  $V_O$  を低下させる能力がなく、 $V_{27}$  が  $\Delta V_2$  だけ上昇してもプルダウン回路 33 には出力電位  $V_O$  を上昇させる能力がないので、出力電位  $V_O$  は変化しない。
- 25

降圧された電位 $V_{22}$ は、第3電源電位 $V_3$ のラインからP型トランジスタ65を介してノードN22に電流が流入することにより、 $V_I + |V_{TP}| + V_{TN}$ まで上昇する。ただし、低消費電力化のためP型トランジスタ65の電流駆動能力が小さく設定されているので、ノードN22の電位 $V_{22}$ が本来のレベル $V_I + |V_{TP}| + V_{TN}$ に上昇するのに必要な時間は、 $V_{22}$ がそのレベル $V_I + |V_{TP}| + V_{TN}$ に低下するのに必要な時間よりも長くなる。

また昇圧された電位 $V_{27}$ は、ノードN27からN型トランジスタ70を介して第5電源電位 $V_5$ のラインに電流が流出することにより、 $V_I - V_{TN} - |V_{TP}|$ まで低下する。ただし、低消費電力化のためN型トランジスタの電流駆動能力は小さく設定されているので、ノードN27の電位 $V_{27}$ が本来のレベル $V_I - V_{TN} - |V_{TP}|$ に低下するのに必要な時間は、 $V_{22}$ がそのレベル $V_I - V_{TN} - |V_{TP}|$ に上昇するのに必要な時間よりも長くなる。

次に時刻 $t_4$ において、入力電位 $V_I$ が「H」レベル $V_H$ から「L」レベル $V_L$ に立下げられると、電位 $V_{22}$ 、 $V_{27}$ 、 $V_4$ の各々が徐々に低下する。電位 $V_{22}$ 、 $V_{27}$ 、 $V_4$ の各々は、電位変化の初期は比較的速く立下がるが、最終レベルに近づくにつれて下降速度が遅くなる。

時刻 $t_4$ から所定時間経過後の時刻 $t_5$ において、昇圧信号 $\phi_B$ が「H」レベルに立上げられるとともに信号 $\phi_B$ が「L」レベルに立下げられる。信号 $\phi_B$ が「H」レベルに立上げられると、キャパシタ76を介して容量結合により、ノードN22の電位 $V_{22}$ が所定電圧 $\Delta V_1$ だけ上昇する。信号 $\phi_B$ が「L」レベルに立下げられると、キャパシタ77を介して容量結合により、ノードN27の電位 $V_{27}$ が所定電位 $\Delta V_2$ だけ低下する。このとき、出力ノードN30に「L」レベル $V_L$ を出力する動作を行っており、P型トランジスタ35の導通抵抗値の方がN型トランジスタ31の導通抵抗値よりも低くなっているため、 $V_{27}$ によるレベル下降作用の方が $V_{22}$ によるレベル上昇作用よりも強く働き、出力電位 $V_O$ は時刻 $t_5$ から急速に低下する（ $V_{27}$ を降圧しない場合は破線で示すようになる）。

昇圧された電位 $V_{22}$ は、ノードN22からトランジスタ23、24を介して接地電位GNDのラインに電流が流出することにより、 $V_I + |V_{TP}| + V_{TN}$

Nまで低下する。また降圧された電位 $V_{27}$ は、第4電源電位 $V_4$ のラインからトランジスタ26, 27を介してノードN27に電流が流入することにより、 $V_{I-|V_{TP}|-V_{TN}}$ まで上昇する。

5 時刻 $t_6$ において、昇圧信号 $\phi_B$ が「L」レベルに立下げられるとともに信号 $\phi_B$ が「H」レベルに立上げられる。信号 $\phi_B$ が「L」レベルに立下げられると、キャパシタ76を介して容量結合により、ノードN22の電位 $V_{22}$ が所定電圧 $\Delta V_1$ だけ低下する。また信号 $\phi_B$ が「H」レベルに立上げられると、キャパシタ77を介して容量結合により、ノードN27の電位 $V_{27}$ が所定電圧 $\Delta V_2$ だけ上昇する。 $\Delta V_1$ が低下してもプルアップ回路30には出力電位 $V_O$ を低下させる能力がなく、 $\Delta V_2$ が上昇してもプルダウン回路33には出力電位 $V_O$ を上昇させる能力がないので、出力電位 $V_O$ は変化しない。

15 降圧された電位 $V_{22}$ は、第3電源電位 $V_3$ のラインからP型トランジスタ65を介してノードN22に電流が流入することにより、 $V_{I+|V_{TP}|-V_{TN}}$ まで上昇する。ただし、低消費電力化のためP型トランジスタ65の電流駆動能力は小さく設定されているので、ノードN22の電位 $V_{22}$ が本来のレベル $V_{I+|V_{TP}|-V_{TN}}$ に上昇するのに必要な時間は、 $V_{22}$ がそのレベル $V_{I+|V_{TP}|-V_{TN}}$ に低下するのに必要な時間よりも長くなる。

20 また昇圧された電位 $V_{27}$ は、ノードN27からN型トランジスタ70を介して第5電源電位 $V_5$ のラインに電流が流出することにより、 $V_{I-V_{TN}-|V_{TP}|}$ まで低下する。ただし、低消費電力化のためN型トランジスタ70の電流駆動能力は小さく設定されているので、ノードN27の電位 $V_{27}$ が本来のレベル $V_{I-V_{TN}-|V_{TP}|}$ に低下するのに必要な時間は、 $V_{22}$ がそのレベル $V_{I-V_{TN}-|V_{TP}|}$ に上昇するのに必要な時間よりも長くなる。

25 この実施の形態3では、入力電位 $V_I$ が「L」レベル $V_L$ から「H」レベル $V_H$ に立上げられたことに応じてノードN22の電位 $V_{22}$ を本来到達すべき電位 $V_{I+|V_{TP}|-V_{TN}}$ よりも高い電位に昇圧するので、出力電位 $V_O$ の上昇速度を速くすることができる。また、入力電位 $V_I$ が「H」レベル $V_H$ から「L」レベル $V_L$ に立下げられたことに応じてノードN27の電位 $V_{27}$ も本来到達すべき電位 $V_{I-|V_{TP}|-V_{TN}}$ よりも低い電位に降圧するので、出力

電位 $V_O$ の下降速度を速くすることができる。したがって、駆動回路75の応答速度の高速化を図ることができる。

図19は、この実施の形態3の変更例による駆動回路78の構成を示す回路図である。この駆動回路78は、図17の駆動回路75のトランジスタ23, 27, 32, 34を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位 $V_O$ は $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

#### [実施の形態4]

図20は、この発明の実施の形態4によるサンプルホールド回路の駆動回路80の構成を示す回路図である。図20を参照して、この駆動回路80は、図14の駆動回路71にP型トランジスタ81およびN型トランジスタ82を追加したものである。P型トランジスタ81は、第3電源電位 $V_3$ のラインとノードN22との間に接続され、そのゲートはプルアップ信号 $/\phi_P$ を受ける。N型トランジスタ82は、ノードN27と第5電源電位 $V_5$ のラインとの間に接続され、そのゲートはプルアップ信号 $/\phi_P$ の相補信号 $\phi_P$ を受ける。

信号 $\phi_P$ ,  $/\phi_P$ は、実施の形態3で示した信号 $\phi_B$ ,  $/\phi_B$ と同様のタイミングでレベル変化される。すなわち、入力信号 $V_I$ が「L」レベル $V_L$ から「H」レベル $V_H$ に立上げられてから所定時間経過後に、信号 $/\phi_P$ ,  $\phi_P$ がそれぞれパルスの的に「L」レベルおよび「H」レベルにされて、P型トランジスタ81およびN型トランジスタ82がパルスの的に導通する。これにより、ノードN22の電位 $V_{22}$ は、第3電源電位 $V_3$ をトランジスタ81とトランジスタ23, 24とで分圧した電位に昇圧された後、所定値 $V_I + |V_{TP}| + V_{TN}$ になる。また、ノードN27の電位 $V_{27}$ は、第4電源電位 $V_4$ と第5電源電位 $V_5$ の間の電圧 $V_4 - V_5$ をトランジスタ26, 27とトランジスタ82とで分圧した電位に降圧された後、所定値 $V_I - V_{TN} - |V_{TP}|$ になる。このとき、実施の形態3でも述べたように、N型トランジスタ31による充電作用の方がP型トランジスタ35による放電作用よりも強く働き、出力電位 $V_O$ は急速に入力電位 $V_I$ に等しくなる。入力電位 $V_I$ が「H」レベル $V_H$ から「L」レベル $V_L$ に立下げられた場合は、P型トランジスタ35による放電作用の方がN型トランジスタ

31による充電作用よりも強く働き、出力電位 $V_O$ は急速に入力電位 $V_I$ に等しくなる。

この実施の形態4でも、実施の形態3と同じ効果が得られる。

以下、この実施の形態4の種々の変更例について説明する。図21の駆動回路83は、図20の駆動回路80からN型トランジスタ23, 34およびP型トランジスタ27, 32を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位 $V_O$ は $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

図22の駆動回路85は、図20の駆動回路80にN型トランジスタ86およびP型トランジスタ87を追加したものである。N型トランジスタ86は、P型トランジスタ24のソースと接地電位GNDのラインとの間に接続され、そのゲートはプルアップ信号 $\phi_P$ を受ける。P型トランジスタ87は、第4電源電位 $V_4$ のラインとN型トランジスタ26のドレインとの間に接続され、そのゲートはプルアップ信号 $\phi_P$ の相補信号 $\phi_P$ を受ける。この変更例では、P型トランジスタ81の導通時にN型トランジスタ86が非導通になるので、第3電源電位 $V_3$ のラインからトランジスタ81, 23, 24, 86を介して接地電位GNDのラインに貫通電流が流れるのを防止することができる。また、N型トランジスタ82の導通時にP型トランジスタ87が非導通になるので、第4電源電位 $V_4$ のラインからトランジスタ87, 26, 27, 82を介して第5電源電位 $V_5$ のラインに貫通電流が流れるのを防止することができる。したがって、回路61, 63の消費電流が小さくてすむ。

図23の駆動回路88は、図22の駆動回路85からN型トランジスタ23, 34およびP型トランジスタ27, 32を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位 $V_O$ が $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

図24の駆動回路90は、図20の駆動回路80のP型トランジスタ24のソースに接地電位GNDの代わりに信号 $\phi_P$ を与えるとともにN型トランジスタ26のドレインに第4電源電位 $V_4$ の代わりに信号 $\phi_P$ を与えたものである。この変更例では、P型トランジスタ81の導通時にP型トランジスタ24のドレイ

ンを「H」レベルにするので、トランジスタ81, 23, 24に貫通電流が流れるのを防止することができる。また、N型トランジスタ82の導通時にN型トランジスタ26のドレインを「L」レベルにするので、トランジスタ26, 27, 82に貫通電流が流れるのを防止することができる。したがって、回路61, 63の消費電流の低減化を図ることができる。

図25の駆動回路91は、図24の駆動回路90からN型トランジスタ23, 34およびP型トランジスタ27, 32を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位VOは $VO = VI + |VTP| - VTN$ になるが、回路の占有面積が小さくてすむ。

#### 〔実施の形態5〕

図26は、この発明の実施の形態5によるサンプルホールド回路の駆動回路95の構成を示す回路図である。図26を参照して、この駆動回路95が図17の駆動回路75と異なる点は、レベルシフト回路61, 63がそれぞれレベルシフト回路96, 102で置換されている点である。

レベルシフト回路96は、レベルシフト回路61にP型トランジスタ97, 98およびN型トランジスタ99~101を追加したものである。P型トランジスタ97、N型トランジスタ99, 100およびP型トランジスタ98は第3電源電位V3のラインと接地電位GNDのラインとの間に直列接続され、N型トランジスタ101は第3電源電位V3のラインとノードN22との間に接続される。P型トランジスタ97のゲートは、P型トランジスタ66のゲートに接続される。したがって、トランジスタ97, 99, 100, 98には、P型トランジスタ66に流れる定電流の値に応じた値の定電流が流れる。N型トランジスタ99, 100のゲートは、それぞれそれらのドレインに接続される。N型トランジスタ99, 100の各々はダイオードを構成する。P型トランジスタ98のゲートは、入力電位VIを受ける。トランジスタ97, 99の間のノードの電位V99は、 $V99 = VI + |VTP| + 2VTN$ となる。V99は、N型トランジスタ101のゲートに与えられる。N型トランジスタ101は、ノードN22を $V99 - VTN = VI + |VTP| + VTN$ に充電する。

レベルシフト回路102は、レベルシフト回路63にN型トランジスタ103,

104およびP型トランジスタ105~107を追加したものである。N型トランジスタ103、P型トランジスタ105、106およびN型トランジスタ104は、第4電源電位V4のラインと第5電源電位V5のラインとの間に直列接続され、P型トランジスタ107はノードN27と第5電源電位V5のラインとの間に接続される。N型トランジスタ103のゲートは、入力電位VIを受ける。P型トランジスタ105、106のゲートは、それぞれそれらのドレインに接続される。P型トランジスタ105、106の各々は、ダイオードを構成する。N型トランジスタ104のゲートは、N型トランジスタ69のゲートに接続される。N型トランジスタ104には、N型トランジスタ69に流れる定電流の値に応じた値の定電流が流れる。MOSトランジスタ106と104の間のノードの電位V106は、 $V106 = VI - VTN - 2|VTP|$ となる。V106は、P型トランジスタ107のゲートに与えられる。P型トランジスタ107は、ノードN27を $V106 - |VTP| = VI - VTN - |VTP|$ に放電する。他の構成および動作は、図17の駆動回路75と同じであるので、その説明は繰返さない。

図27は、図26に示した駆動回路95の動作を示すタイムチャートであって、図18と対比される図である。図27を参照して、この駆動回路95では、トランジスタ97~101によってノードN22を $VI + |VTP| + VTN$ に充電するので、ノードN22の電位V22が所定値 $VI + |VTP| + VTN$ よりも低下したとき（時刻t3、t6）、ノードN22の電位V22を急速に所定値 $VI + |VTP| + VTN$ に戻すことができる。また、トランジスタ103~107によってノードN27を $VI - VTN - |VTP|$ に放電するので、ノードN27の電位V27が所定値 $VI - VTN - |VTP|$ よりも上昇したとき（時刻t3、t6）、ノードN27の電位V27を急速に所定値 $VI - VTN - |VTP|$ に戻すことができる。したがって、回路の応答速度の高速化を図ることができる。

図28は、この実施の形態5の変更例を示す回路図である。この駆動回路108は、図26の駆動回路95からN型トランジスタ23、34、100およびP型トランジスタ27、32、105を除去したものである。この変更例では、ト



ランジスタ 23, 27, 32, 34, 100, 105 を除去したので、出力電位  $V_O$  は  $V_O = V_I + |V_{TP}| - V_{TN}$  になるが、回路の占有面積が小さくてすむ。

〔実施の形態 6〕

5 図 29 は、この発明の実施の形態 6 によるサンプルホールド回路の駆動回路 110 の構成を示す回路図である。図 29 において、この駆動回路 110 が図 26 の駆動回路 95 と異なる点は、レベルシフト回路 96, 102 がレベルシフト回路 111, 112 で置換されている点である。

10 レベルシフト回路 111 は、レベルシフト回路 96 から P 型トランジスタ 97, 98 および N 型トランジスタ 100 を除去し、N 型トランジスタ 99 を P 型トランジスタ 65 のソースとノード N22 との間に接続したものである。N 型トランジスタ 99 のゲートは、N 型トランジスタ 99 のドレインおよび N 型トランジスタ 101 のゲートに接続される。N 型トランジスタ 99, 101 のゲートの電位  $V_{99}$  は、 $V_{99} = V_I + |V_{TP}| + 2V_{TN}$  となる。N 型トランジスタ 101 は、ノード N22 を  $V_{99} - V_{TN} = V_O + |V_{TP}| + V_{TN}$  に充電する。

15 レベルシフト回路 112 は、レベルシフト回路 102 から N 型トランジスタ 103, 104 および P 型トランジスタ 105 を除去し、P 型トランジスタ 106 をノード N27 と N 型トランジスタ 70 のドレインとの間に接続したものである。P 型トランジスタ 106 のゲートは、そのドレインおよび P 型トランジスタ 107 のゲートに接続される。P 型トランジスタ 106, 107 のゲートの電位  $V_{106}$  は、 $V_{106} = V_I - V_{TN} - 2|V_{TP}|$  となる。P 型トランジスタ 107 は、ノード N27 を  $V_{106} + |V_{TP}| = V_I - V_{TN} - |V_{TP}|$  に放電する。他の構成および動作は、図 26 の駆動回路 95 と同じであるので、その説明は繰返さない。

25 この実施の形態 6 では、実施の形態 5 と同じ効果が得られる他、第 3 電源電位  $V_3$  のラインからトランジスタ 97, 99, 100, 98 を介して接地電位  $GND$  のラインに流れる電流、および第 4 の電源電位  $V_O$  のラインからトランジスタ 103, 105, 106, 104 を介して第 5 電源電位  $V_5$  のラインに流れる電流を削減できるので、消費電流が小さくてすむ。また、トランジスタ 97, 98,

100, 103~105を除去したので、回路の占有面積が小さくてすむ。

図30は、この実施の形態6の変更例を示す回路図である。この駆動回路113は、図29の駆動回路110からN型トランジスタ23, 34およびP型トランジスタ27, 32を除去したものである。この変更例では、トランジスタ23, 27, 32, 34を除去したので、出力電位VOは $V_O = V_I + |V_{TP}| - V_{TN}$ になるが、回路の占有面積が小さくてすむ。

#### [実施の形態7]

図31は、この発明の実施の形態7による半導体集積回路装置の要部を示す回路ブロック図である。図31において、この半導体集積回路装置は、j個（ただし、jは2以上の整数である）の駆動回路115. 1~115. jを備える。

駆動回路115. 1は、図32に示すように、図13の駆動回路60のレベルシフト回路61, 63をそれぞれレベルシフト回路116, 117で置換したものである。レベルシフト回路116はレベルシフト回路61からP型トランジスタ66および抵抗素子67を除去したものであり、レベルシフト回路117はレベルシフト回路63から抵抗素子68およびN型トランジスタ69を除去したものである。トランジスタ65, 70のゲートは、それぞれバイアス電位VBP, VBNを受ける。他の駆動回路115. 2~115. jの各々も駆動回路115. 1と同じ構成である。

図31に戻って、この半導体集積回路装置では、バイアス電位VBPを生成するためのP型トランジスタ66および抵抗素子67とバイアス電位VBNを生成するための抵抗素子68およびN型トランジスタ69とが駆動回路115. 1~115. jに共通に設けられる。

P型トランジスタ66および抵抗素子67は第3電源電位V3のラインと接地電位GNDのラインとの間に直列接続され、P型トランジスタ66のゲートはそのドレイン（ノードN66）に接続される。ノードN66には、バイアス電位VBPが現れる。ノードN66と接地電位GNDのラインとの間には、バイアス電位VBPを安定化させるためのキャパシタ118が接続される。駆動回路115. 1~115. jの各々のP型トランジスタ65には、P型トランジスタ66に流れる定電流に応じた値の定電流が流れる。

抵抗素子 68 および N 型トランジスタ 69 は第 4 電源電位  $V_4$  のラインと第 5 電源電位  $V_5$  のラインとの間に接続され、N 型トランジスタ 69 のゲートはそのドレイン（ノード N68）に接続される。ノード N68 には、バイアス電位  $V_{BN}$  が現れる。ノード N68 と接地電位 GND のラインとの間には、バイアス電位  $V_{BN}$  を安定化させるためのキャパシタ 119 が接続される。駆動電位 115. 1 ~ 115. j の各々の N 型トランジスタ 70 は、N 型トランジスタ 69 に流れる定電流に応じた値の定電流が流れる。

この実施の形態 7 では、実施の形態 2 と同じ効果が得られる他、バイアス電位  $V_{BP}$ 、 $V_{BN}$  を生成するための回路を駆動回路 115. 1 ~ 115. j に共通に設けたので、駆動回路 115. 1 ~ 115. j 1 つ当たりの占有面積が小さくてすむ。

#### 〔実施の形態 8〕

図 33 は、この発明の実施の形態 8 によるサンプルホールド回路のオフセット補償機能付駆動回路 120 の構成を示す回路ブロック図である。図 33 において、このオフセット補償機能付駆動回路 120 は、駆動回路 121、キャパシタ 122 およびスイッチ  $S_1 \sim S_4$  を含む。駆動回路 121 は、実施の形態 1 ~ 11 で示した駆動回路のうちのいずれかの駆動回路である。キャパシタ 122 およびスイッチ  $S_1 \sim S_4$  は、駆動回路 121 のトランジスタのしきい値電圧のばらつきなどにより駆動回路 121 の入力電位と出力電位の間に電位差すなわちオフセット電圧  $V_{OF}$  が生じた場合に、このオフセット電圧  $V_{OF}$  を補償するためのオフセット補償回路を構成する。

すなわち、スイッチ  $S_1$  は入力ノード N120 と駆動回路 121 の入力ノード N20 との間に接続され、スイッチ  $S_4$  は出力ノード N121 と駆動回路 121 の出力ノード N30 との間に接続される。キャパシタ 122 およびスイッチ  $S_2$  は、駆動回路 121 の入力ノード N20 と出力ノード N30 との間に直列接続される。スイッチ  $S_3$  は、入力ノード N120 とキャパシタ 122 およびスイッチ  $S_2$  間のノード N122 との間に接続される。スイッチ  $S_1 \sim S_4$  の各々は、P 型トランジスタでもよいし、N 型トランジスタでもよいし、P 型トランジスタおよび N 型トランジスタを並列接続したものでもよい。スイッチ  $S_1 \sim S_4$  の各々

は、制御信号（図示せず）によってオン／オフ制御される。

今、駆動回路 1 2 1 の出力電位が入力電位よりもオフセット電圧  $V_{OF}$  だけ低い場合について説明する。図 3 4 に示すように、初期状態では、すべてのスイッチ  $S_1 \sim S_4$  はオフ状態にされている。ある時刻  $t_1$  においてスイッチ  $S_1$ ,  $S_2$  がオン状態にされると、駆動回路 1 2 1 の入力ノード  $N_{20}$  の電位  $V_{20}$  は  $V_{20} = V_I$  になり、駆動回路 1 2 1 の出力電位  $V_{30}$  およびノード  $N_{122}$  の電位  $V_{122}$  は  $V_{30} = V_{122} = V_I - V_{OF}$  となり、キャパシタ 1 2 2 はオフセット電圧  $V_{OF}$  に充電される。

次に時刻  $t_2$  においてスイッチ  $S_1$ ,  $S_2$  がオフ状態にされると、オフセット電圧  $V_{OF}$  はキャパシタ 1 2 2 に保持される。次いで時刻  $t_3$  においてスイッチ  $S_3$  がオン状態にされると、ノード  $N_{122}$  の電位  $V_{122}$  は  $V_{122} = V_I$  になり、駆動回路 1 2 1 の入力電位  $V_{20}$  は  $V_{20} = V_I + V_{OF}$  となる。この結果、駆動回路 1 2 1 の出力電位  $V_{30}$  は  $V_{30} = V_{20} - V_{OF} = V_I$  となり、駆動回路 1 2 1 のオフセット電圧  $V_{OF}$  は打消されたことになる。次に時刻  $t_4$  においてスイッチ  $S_4$  がオン状態にされると、出力電位  $V_O$  が  $V_O = V_I$  となり負荷に供給される。

この実施の形態 8 では、駆動回路 1 2 1 のオフセット電圧  $V_{OF}$  を打消すことができ、出力電位  $V_O$  と入力電位  $V_I$  を一致させることができる。

なお、スイッチ  $S_4$  は必ずしも必要でない。ただし、スイッチ  $S_4$  を設けないと、負荷容量 3 6 の容量値が大きい場合は時刻  $t_1$  においてスイッチ  $S_1$ ,  $S_2$  をオン状態にしてからキャパシタ 1 2 2 の端子間電圧  $V_{OF}$  が安定するまでの時間が長くなる。

#### 〔実施の形態 9〕

図 3 5 は、この発明の実施の形態 9 によるサンプルホールド回路のオフセット補償機能付駆動回路 1 2 5 の構成を示す回路ブロック図である。図 3 5 において、このオフセット補償機能付駆動回路 1 2 5 は、図 1 2 の駆動回路 6 0 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b およびスイッチ  $S_{1a} \sim S_{4a}$ ,  $S_{1b} \sim S_{4b}$  を追加したものである。

スイッチ  $S_{1a}$ ,  $S_{1b}$  は、それぞれ入力ノード  $N_{120}$  とトランジスタ 2 4,

26のゲート（ノードN20a, N20b）との間に接続される。スイッチS4a, S4bは、それぞれ出力ノードN121とトランジスタ32, 34のドレイン（ノードN30a, N30b）との間に接続される。キャパシタ122aおよびスイッチS2aは、ノードN20aとN30aの間に直列接続される。キャパシタ122bおよびスイッチS2bは、ノードN20bとN30bの間に直列接続される。スイッチS3aは、入力ノードN120とキャパシタ122aおよびスイッチS2a間のノードN122aとの間に接続される。スイッチ3bは、入力ノードN120とキャパシタ122bおよびスイッチS2b間のノードN122bとの間に接続される。キャパシタ126a, 126bの一方電極はそれぞれノードN30a, N30bに接続され、それらの他方電極はそれぞれリセット信号 $\phi R$ およびその相補信号 $\phi R$ を受ける。

図36は、図35に示したオフセット補償機能付駆動回路125の動作を示すタイムチャートである。定電流源62およびトランジスタ23, 24, 31, 32からなる充電回路と、定電流源64およびトランジスタ26, 27, 34, 35からなる放電回路とは、充電と放電の違いはあるが同様の動作をするので、図36では充電回路の動作のみについて説明する。今、N型トランジスタ31のしきい値電圧 $V_{TN}$ がN型トランジスタ23のしきい値電圧 $V_{TN}$ よりも $V_{OFa}$ だけ大きいために充電回路側にオフセット電圧 $V_{OFa}$ があり、放電回路側にオフセット電圧 $V_{OFb}$ はないものとする。

初期状態では、スイッチS1a～S3aがオフ状態にされるとともにスイッチS4aがオン状態にされ、ノードN20a, N122a, N30a, N121には前回の電位 $V_{I'}$ が保持されている。時刻 $t_1$ においてスイッチS1a, S2aがオン状態にされると、ノードN20a, N122a, N30a, N121の電位 $V_{20a}$ ,  $V_{122a}$ ,  $V_{30a}$ ,  $V_O$ はともに入力電位 $V_I$ に等しい電位になる。また、ノードN22の電位 $V_{22}$ は、 $V_{22} = V_I + |V_{TP}| + V_{TN}$ となる。N型トランジスタ31のしきい値電圧 $V_{TN'}$ がN型トランジスタ23のしきい値電圧 $V_{TN}$ よりも $V_{OFa}$ だけ高いにもかかわらず $V_{20a}$ ,  $V_{122a}$ ,  $V_{30a}$ ,  $V_O$ がともに $V_I$ に等しい電位になるのは、出力ノードN121は放電回路によって入力電位 $V_I$ まで放電されるが、それ以下には放電され

ないからである。

次に、時刻  $t_2$  においてスイッチ  $S_{4a}$  がオフ状態にされて、充電回路の出力ノード  $N_{30a}$  と放電回路の出力ノード  $N_{30b}$  とが電氣的に切離される。次いで時刻  $t_3$  においてリセット信号  $\phi_R$  が「H」レベルから「L」レベルに立下げられると、キャパシタ  $126a$  を介して容量結合により、ノード  $N_{30a}$ 、 $N_{122a}$  の電位  $V_{30a}$ 、 $V_{122a}$  が所定電圧だけ降圧される。これにより、トランジスタ  $31$ 、 $32$  が導通してノード  $N_{30a}$ 、 $N_{122a}$  の電位  $V_{30a}$ 、 $V_{122a}$  が  $V_I - V_{OFa}$  まで上昇し、キャパシタ  $122a$  が  $V_{OFa}$  に充電される。

10 ノード  $N_{30a}$ 、 $N_{122a}$  の電位  $V_{30a}$ 、 $V_{122a}$  が安定した後、時刻  $t_4$  においてスイッチ  $S_{1a}$ 、 $S_{2a}$  がオフ状態にされ、さらに時刻  $t_5$  においてスイッチ  $S_{3a}$  がオン状態にされると、入力電位  $V_I$  にオフセット電圧  $V_{OFa}$  を加算した電位  $V_I + V_{OFa}$  がノード  $N_{20a}$  に与えられる。これにより、ノード  $N_{22}$  の電位  $V_{22}$  は  $V_{22} = V_I + |V_{TP}| + V_{TN} + V_{OFa}$  となり、ノード  $N_{30a}$ 、 $N_{122a}$  の電位  $V_{30a}$ 、 $V_{122a}$  は入力電位  $V_I$  と同じレベルになる。

充電回路の出力電位  $V_{30a}$  は時刻  $t_1$  から  $V_{30a} = V_I$  になるが、時刻  $t_1 \sim t_2$  の期間は配線容量などによって保持された電位にすぎず、負極性のノイズがあった場合は  $V_{30a}$  は  $V_I - V_{OF}$  まで低下してしまう。これに対して時刻  $t_5$  以降は、負極性のノイズがあってもトランジスタ  $31$ 、 $32$  によって充電されるので、 $V_{30a}$  は  $V_I$  に維持される。

次に時刻  $t_6$  においてスイッチ  $S_{3a}$  がオフ状態にされ、さらに時刻  $t_7$  においてスイッチ  $S_{4a}$  がオン状態にされると、負荷容量  $36$  が駆動回路によって駆動される。時刻  $t_8$  においてリセット信号  $\phi_R$  が「H」レベルに立上げられると、初期状態に戻る。この時刻  $t_8$  では、出力インピーダンスが十分に低くなっているため、リセット信号  $\phi_R$  が「H」レベルに立上げられても出力電位  $V_O$  はほとんど変化しない。放電回路側でも同様の動作が行なわれ、出力電位  $V_O$  は  $V_I$  に維持される。

図 3 7 は、図 3 5 に示したオフセット補償機能付駆動回路 1 2 5 の動作を示す

他のタイムチャートである。定電流源62およびトランジスタ23, 24, 31, 32からなる充電回路と、定電流源64およびトランジスタ26, 27, 34, 35からなる放電回路とは、充電と放電の違いはあるが同様の動作をするので、図37では放電回路の動作のみについて説明する。今、P型トランジスタ35のしきい値電圧の絶対値 $|V_{TP}'|$ がP型トランジスタ27のしきい値電圧の絶対値 $|V_{TP}|$ よりも $V_{OFb}$ だけ大きいために放電回路側にオフセット電圧 $V_{OFb}$ があり、充電回路側にはオフセット電圧 $V_{OFa}$ はないものとする。

初期状態では、スイッチS1b~S3bがオフ状態にされるとともにスイッチS4bがオン状態にされ、ノードN20b, N122b, N30b, N121には前回の電位 $V_{I'}$ が保持されている。時刻 $t_1$ においてスイッチS1b, S2bがオン状態にされると、ノードN20b, N122b, N30b, N121の電位 $V_{20b}$ ,  $V_{122b}$ ,  $V_{30b}$ ,  $V_O$ はともに入力電位 $V_I$ に等しい電位になる。また、ノードN27の電位 $V_{27}$ は、 $V_{27} = V_I - |V_{TP}| - V_{TN}$ となる。P型トランジスタ35のしきい値電圧の絶対値 $|V_{TP}'|$ がP型トランジスタ27のしきい値電圧の絶対値 $|V_{TP}|$ よりも $V_{OFb}$ だけ高いにもかかわらず $V_{20b}$ ,  $V_{122b}$ ,  $V_{30b}$ ,  $V_O$ はともに $V_I$ に等しい電位になるのは、出力ノードN121が充電回路によって入力電位 $V_I$ まで充電されるが、それ以上には充電されないからである。

次に、時刻 $t_2$ においてスイッチS4bがオフ状態にされて、充電回路の出力ノードN30aと放電回路の出力ノードN30bとが電氣的に切離される。次いで時刻 $t_3$ において信号 $\phi_R$ が「L」レベルから「H」レベルに立上げられると、キャパシタ126bを介して容量結合により、ノードN30b, N122bの電位 $V_{30b}$ ,  $V_{122b}$ が所定電圧だけ昇圧される。これにより、トランジスタ34, 35が導通してノードN30b, N122bの電位 $V_{30b}$ ,  $V_{122b}$ が $V_I + V_{OFb}$ まで低下し、キャパシタ122bが $V_{OFb}$ に充電される。

ノードN30b, N122bの電位 $V_{30b}$ ,  $V_{122b}$ が安定した後、時刻 $t_4$ においてスイッチS1b, S2bがオフ状態にされ、さらに時刻 $t_5$ においてスイッチS3bがオン状態にされると、入力電位 $V_I$ からオフセット電圧 $V_{OFb}$ を減算した電位 $V_I - V_{OFb}$ がノードN20bに与えられる。これにより、

ノードN27の電位 $V_{27}$ が $V_{27} = V_I - V_{TN} - |V_{TP}| - V_{OFb}$ となり、ノードN30b、V122bの電位 $V_{30b}$ 、V122bは入力電位 $V_I$ と同レベルになる。

5 放電回路の出力電位 $V_{30b}$ は時刻 $t_1$ から $V_{30b} = V_I$ になるが、時刻 $t_1 \sim t_2$ の期間は配線容量などによって保持された電位にすぎず、正極性のノイズがあった場合は $V_{30b}$ は $V_I + V_{OFb}$ まで上昇してしまう。これに対して時刻 $t_5$ 以降は、正極性のノイズがあってもトランジスタ34、35によって放電されるので、 $V_{30b}$ は $V_I$ に維持される。

10 次に時刻 $t_6$ においてスイッチS3bがオフ状態にされ、さらに時刻 $t_7$ においてスイッチS4bがオン状態にされると、負荷容量36が駆動回路によって駆動される。時刻 $t_8$ において信号 $\phi_R$ が「L」レベルに立下げられると、初期状態に戻る。この時刻 $t_8$ では、出力インピーダンスが低くなっているので、信号 $\phi_R$ が「L」レベルに立下げられても出力電位 $V_O$ はほとんど変化しない。放電回路側でも同様の動作が行なわれ、出力電位 $V_O$ は $V_I$ に維持される。

15 以下、この実施の形態9の種々の変更例について説明する。図38のオフセット補償機能付駆動回路127は、図35のオフセット補償機能付駆動回路125からN型トランジスタ23、34およびP型トランジスタ27、32を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

20 図39のオフセット補償機能付駆動回路130は、図35のオフセット補償機能付駆動回路125のキャパシタ126a、126bをそれぞれN型トランジスタ131aおよびP型トランジスタ131bで置換したものである。N型トランジスタ131aは、第8電源電位 $V_8$ のラインとノードN30aとの間に接続され、そのゲートはリセット信号 $\phi_{R'}$ を受ける。P型トランジスタ131bは、ノードN30bと第9電源電位 $V_9$ のラインとの間に接続され、そのゲートはリ  
25 セット信号 $\phi_{R'}$ の相補信号 $\neg \phi_{R'}$ を受ける。

通常時は信号 $\phi_{R'}$ 、 $\neg \phi_{R'}$ がそれぞれ「L」レベルおよび「H」レベルにされており、N型トランジスタ131aおよびP型トランジスタ131bはともに非導通にされている。図36および図37の時刻 $t_3$ において、信号 $\phi_{R'}$ が所定時間だけパルス的に「H」レベルにされるとともに信号 $\neg \phi_{R'}$ が所定時間



だけパルスの的に「L」レベルにされる。これにより、N型トランジスタ131aがパルスの的に導通してノードN30aの電位V30aが第8電源電位V8に低下されるとともに、P型トランジスタ131bがパルスの的に導通してノードN30bの電位V30bが第9電源電位V9に上昇される。この後、図36で説明した場合ではノードN30aが $V_I - V_{OF}$ に充電され、図37で説明した場合ではノードN30bが $V_O + V_{OF}$ に放電される。この変更例では、図36および図37の時刻t8においても、出力電位V<sub>O</sub>にノイズが発生することはない。なお、信号 $\phi R'$ 、 $\phi R'$ のパルス幅は必要最小限の値に設定される。

図40のオフセット補償機能付駆動回路132は、図20の駆動回路80にキャパシタ122a、122b、126a、126bおよびスイッチS1a～S4a、S1b～S4bからなるオフセット補償回路を付加したものである。図36および図37の時刻t1～t2の期間において信号 $\phi P$ はパルスの的に「L」レベルにされるとともに信号 $\phi P$ がパルスの的に「H」レベルにされる。この変更例では、ノードN22、N27の電位V22、V27が所定値に迅速に到達するので、動作速度の高速化を図ることができる。

図41のオフセット補償機能付駆動回路133は、図40のオフセット補償機能付駆動回路132からN型トランジスタ23、34およびP型トランジスタ27、32を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

図42のオフセット補償機能付駆動回路135は、図22のオフセット補償機能付駆動回路85にキャパシタ122a、122b、126a、126bおよびスイッチS1a～S4a、S1b～S4bからなるオフセット補償回路を付加したものである。この変更例では、信号 $\phi P$ 、 $\phi P$ がそれぞれ「L」レベルおよび「H」レベルになってトランジスタ81、82が導通したときに、同時にトランジスタ86、87が非導通になるので、貫通電流が流れるのを防止することができ、消費電流が小さくてすむ。

図43のオフセット補償機能付駆動回路136は、図42のオフセット補償機能付駆動回路135からN型トランジスタ23、34およびP型トランジスタ27、32を除去したものである。この変更例では、回路の占有面積は小さくてすむ。

む。

図 4 4 のオフセット補償機能付駆動回路 1 4 0 は、図 2 4 の駆動回路 9 0 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b およびスイッチ S 1 a ~ S 4 a, S 1 b ~ S 4 b からなるオフセット補償回路を付加したものである。この変更例では、信号  $\phi P$  が「L」レベルにされて P 型トランジスタ 8 1 が導通したときに P 型トランジスタ 2 4 のドレインが「H」レベルにされ、信号  $\phi P$  が「H」レベルにされて N 型トランジスタ 8 2 が導通したときに N 型トランジスタ 2 6 のドレインが「L」レベルにされるので、貫通電流が流れることを防止することができ、消費電力が小さくてすむ。

図 4 5 のオフセット補償機能付駆動回路 1 4 1 は、図 4 4 のオフセット補償機能付駆動回路 1 4 0 から N 型トランジスタ 2 3, 3 4 および P 型トランジスタ 2 7, 3 2 を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

図 4 6 のオフセット補償機能付駆動回路 1 4 5 は、図 2 6 のオフセット補償機能付駆動回路 9 5 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b およびスイッチ S 1 a ~ S 4 a, S 1 b ~ S 4 b からなるオフセット補償回路を付加したものである。図 3 6 および図 3 7 の時刻  $t_1 \sim t_2$  の期間において信号  $\phi B$  がパルス的に「H」レベルにされるとともに信号  $\phi B$  がパルス的に「L」レベルにされる。この変更例では、ノード N 2 2, N 2 7 の電位  $V_{22}$ ,  $V_{27}$  が所定値に迅速に到達するので、動作速度の高速化を図ることができる。

図 4 7 のオフセット補償機能付駆動回路 1 4 6 は、図 4 6 のオフセット補償機能付駆動回路 1 4 5 から N 型トランジスタ 2 3, 3 4, 1 0 0 および P 型トランジスタ 2 7, 3 2, 1 0 5 を除去したものである。この変更例では、回路の占有面積が小さくてすむ。

図 4 8 のオフセット補償機能付駆動回路 1 5 0 は、図 2 9 の駆動回路 1 1 0 にキャパシタ 1 2 2 a, 1 2 2 b, 1 2 6 a, 1 2 6 b およびスイッチ S 1 a ~ S 4 a, S 1 b ~ S 4 b からなるオフセット補償回路を付加したものである。図 3 6 および図 3 7 の時刻  $t_1 \sim t_2$  の期間において信号  $\phi B$  がパルス的に「H」レベルにされるとともに信号  $\phi B$  がパルス的に「L」レベルにされる。この変更

例では、ノードN 2 2, N 2 7の電位V 2 2, V 2 7が所定値に迅速に到達するので、動作速度の高速化を図ることができる。

図4 9のオフセット補償機能付駆動回路1 5 1は、図4 8のオフセット補償機能付駆動回路1 5 0からN型トランジスタ2 3, 3 4およびP型トランジスタ2 7, 3 2を除去したものである。この変更例では、回路の占有面積が小さくすむ。

#### [実施の形態1 0]

図5 0は、この発明の実施の形態1 0によるサンプルホールド回路のオフセット補償機能付駆動回路1 5 5の構成を示す回路図である。図5 0において、このオフセット補償機能付駆動回路1 5 5が図4 6のオフセット補償機能付駆動回路1 4 5と異なる点は、スイッチS 5およびキャパシタ1 5 6が追加されている点と、昇圧信号 $\phi$  B,  $\neg \phi$  Bがそれぞれ昇圧信号 $\phi$  B 1,  $\neg \phi$  B 1で置換されている点である。

スイッチS 5は、スイッチS 4 a, S 4 b間のノードと出力ノードN 1 2 1との間に接続される。キャパシタ1 5 6は、スイッチS 4 a, S 4 b間のノードと接地電位GNDのラインとの間に接続される。キャパシタ1 5 6の容量値は、負荷容量3 6の容量値よりも小さく設定されている。

図5 1は、図5 0に示したオフセット補償機能付駆動回路1 5 5の動作を示すタイムチャートであって、図3 6と対比される図である。ここでも充電回路側の動作のみについて説明する。図5 1を参照して、時刻t 9まではスイッチS 5がオフ状態にされており、負荷容量3 6が電氣的に切離されているので、たとえば時刻t 1 ~ t 2において電位V 2 2, V 3 0 a, V 1 2 2 aが迅速に入力電位V Iに到達する。

時刻t 9においてスイッチS 5がオン状態にされると、出力ノードN 1 2 1に接続されたデータ線の電位V Oに応じてスイッチS 4 a, S 4 b間の電位V 1 5 6が変化する。図5 1では、データ線の電位V OがV 1 5 6よりも低かった場合が示されており、時刻t 9において電位V 1 5 6が低下した後、トランジスタ3 1, 3 2によって電流が供給されて電位V 1 5 6が徐々に上昇する。次いで時刻t 1 0において信号 $\phi$  B 1が「L」レベルから「H」レベルに立上げられてノー

ドN 2 2の電位V 2 2がパルスの的に上昇し、N型トランジスタ 3 1を流れる電流が増加して電位V 1 5 6 = V Oが急速に入力電位V Iに到達する。

図 5 2は、図 5 0に示したオフセット補償機能付駆動回路 1 5 5の動作を示す他のタイムチャートであって、図 3 7と対比される図である。ここでも、放電回路側の動作のみについて説明する。図 5 2を参照して、時刻 t 9まではスイッチ S 5がオフ状態にされており、負荷容量 3 6が電氣的に切離されているので、たとえば時刻 t 1 ~ t 2において電位V 2 7, V 3 0 b, V 1 2 2 bが迅速に入力電位V Iに到達する。

時刻 t 9においてスイッチ S 5がオン状態にされると、出力ノードN 1 2 1に接続されたデータ線の電位V Oに応じてスイッチ S 4 a, S 4 b間の電位V 1 5 6が変化する。図 5 2では、データ線の電位V OがV 1 5 6よりも高かった場合が示されており、時刻 t 9において電位V 1 5 6が上昇した後、トランジスタ 3 4, 3 5によって電流が排出されて電位V 1 5 6が徐々に低下する。

次いで時刻 t 1 0において信号 /  $\phi$  B 1が「H」レベルから「L」レベルに立下げられてノードN 2 7の電位V 2 7がパルスの的に低下し、P型トランジスタ 3 5に流れる電流が増加して電位V 1 5 6 = V Oは急速に入力電位V Iに到達する。

この実施の形態 1 0では、負荷容量 3 6の容量値が大きい場合でも、速い動作速度を得ることができる。

#### [実施の形態 1 1]

図 5 3は、この発明の実施の形態 1 1によるオフセット補償機能付駆動回路 1 5 7の構成を示す回路図である。図 5 3を参照して、このオフセット補償機能付駆動回路 1 5 7が図 5 0のオフセット補償機能付駆動回路 1 5 5と異なる点は、キャパシタ 1 5 6が除去されている点と、スイッチ S 5のオン/オフのタイミングおよび信号  $\phi$  B 1, /  $\phi$  B 1のレベル変化のタイミングである。

図 5 4は、図 5 3に示したオフセット補償機能付駆動回路 1 5 7の動作を示すタイムチャートである。ここでは、N型トランジスタ 3 1のしきい値電圧V T N' がN型トランジスタ 2 3のしきい値電圧V T NよりもV O Fだけ大きいものとする。初期状態では、スイッチ S 1 a ~ S 3 a, S 1 b ~ S 3 bはオフ状態にされるとともにスイッチ S 4 a, S 4 b, S 5がオン状態にされ、ノードN 3 0

a, N30b, N20aの電位V30a, V30b, V20aはともに前回の入力電位（図ではVH）になっている。

時刻 t 1においてスイッチS 5がオフ状態にされてスイッチS 30a, S 30bの間のノードと負荷容量36とが電氣的に切離される。時刻 t 2においてスイッチS 1a, S 1b, S 2a, S 2bがオン状態にされるとともに、入力電位V  
5 Iが今回の電位（図ではVL）に設定される。このように、ノードN30a, N30b, N20bの電位V30a, V30b, V20bはともに $V I = V L$ になる。N型トランジスタ31のしきい値電圧 $V T N'$ が他のN型トランジスタのしきい値電圧 $V T N$ よりもVOFだけ高いにもかかわらずV30a, V30bがV  
10  $V I = V L$ になるのは、放電回路がノードN30a, N30bを $V I = V L$ まで放電するが、それ以下には放電しないからである。

時刻 t 3においてスイッチS 4a, S 4bがオフ状態にされて、充電回路と放電回路は電氣的に切離される。時刻 t 4においてリセット信号/ $\phi R$ が「H」レベルから「L」レベルに立下げられるとともに信号 $\phi R$ が「L」レベルから  
15 「H」レベルに立上げられる。これにより、ノードN30aの電位V30aがVLからパルスの的に降圧された後 $V L - V O F$ になるとともに、ノードN30bの電位V30bがVLからパルスの的に昇圧された後VLになる。

時刻 t 5においてスイッチS 1a, S 1b, S 2a, S 2bがオフ状態にされ、次いで時刻 t 6においてスイッチS 3a, S 3bがオン状態にされると、ノード  
20 N20aの電位V20aが $V L + V O F$ になり、オフセット電圧VOFが打消されてノードN30aの電位V30aは $V I = V L$ になる。

時刻 t 7においてスイッチS 3a, S 3bがオフ状態にされ、次いで時刻 t 8においてスイッチS 4a, S 4b, S 5がオン状態にされると、負荷容量36が前回の電位であるVHに充電されているので、ノードN30a, N30bの電位  
25 V30a, V30bは一旦上昇した後、徐々に低下する。時刻 t 9において、信号 $\phi B 1$ が「L」レベルから「H」レベルに立上げられるとともに、信号/ $\phi B 1$ が「H」レベルから「L」レベルに立下げられる。

このように、キャパシタ76を介してノードN22の電位V22が昇圧されるとともに、キャパシタ77を介してノードN27の電位V27が降圧される。こ

のとき、出力ノードN121に「L」レベルVLを出力する動作を行っており、P型トランジスタ35の導通抵抗値はN型トランジスタ31の導通抵抗値よりも低くなっているため、V27によるレベル降下作用の方がV22によるレベル上昇作用よりも強く働き、ノードN30a, N30b, N121の電位V30a, V30b, VOは急速に低下してVLに到達する。

この実施の形態11では、動作速度の高速化を図ることができる。

#### 【実施の形態12】

図55は、この発明の実施の形態12によるサンプルホールド回路のプッシュ型駆動回路160の構成を示す回路図である。図55において、このプッシュ型駆動回路160は、レベルシフト回路61、プルアップ回路30、および定電流源161を備える。レベルシフト回路61およびプルアップ回路30は、図12で示したものと同一である。

すなわち、レベルシフト回路61は、第3電源電位V3（15V）のノードと接地電位GNDのノードとの間に直列接続された定電流源62、N型トランジスタ23およびP型トランジスタ24を含む。定電流源62は、図56に示すように、P型トランジスタ65、66および抵抗素子67を含む。P型トランジスタ65は第3電源電位V3のノードとN型トランジスタ23のドレイン（ノードN22）との間に接続され、P型トランジスタ66および抵抗素子67は第3電源電位V3のノードと接地電位GNDのノードとの間に直列接続される。P型トランジスタ65、66のゲートは、ともにP型トランジスタ66のドレインに接続される。P型トランジスタ65、66は、カレントミラー回路を構成する。P型トランジスタ66および抵抗素子67には抵抗素子67の抵抗値に応じた値の定電流が流れ、P型トランジスタ65にはP型トランジスタ66に流れる定電流の値に応じた値の定電流が流れる。N型トランジスタ23のゲートは、そのドレイン（ノードN22）に接続されている。N型トランジスタ23は、ダイオード素子を構成する。P型トランジスタ24のゲートは、入力ノードN20に接続される。定電流源62の電流値は、トランジスタ23、24の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

入力ノードN20の電位（階調電位）をVIとし、P型トランジスタのしきい

値電圧を $V_{TP}$ とし、N型トランジスタのしきい値電圧を $V_{TN}$ とすると、P型トランジスタ24のソース（ノードN23）の電位 $V_{23}$ およびN型トランジスタ23のドレイン（ノードN22）の電位 $V_{22}$ はそれぞれ $V_{23}=V_I+|V_{TP}|$ 、 $V_{22}=V_I+|V_{TP}|+V_{TN}$ となる。したがって、レベルシフト回路61は、入力電位 $V_I$ を $|V_{TP}|+V_{TN}$ だけレベルシフトさせた電位 $V_{22}$ を出力する。

プルアップ回路30は、第6電源電位 $V_6$ （15V）のノードと出力ノードN30との間に直列接続されたN型トランジスタ31およびP型トランジスタ32を含む。N型トランジスタ31のゲートは、レベルシフト回路61の出力電位 $V_{22}$ を受ける。P型トランジスタ32のゲートは、そのドレインに接続されている。P型トランジスタ32は、ダイオード素子を構成する。N型トランジスタ31は飽和領域で動作するように第6電源電位 $V_6$ が設定されているので、N型トランジスタ31はいわゆるソースフォロア動作を行なう。

定電流源161は、出力ノードN30と接地電位GNDのノードとの間に接続される。定電流源161は、図56に示すように、N型トランジスタ162、163および抵抗素子164を含む。N型トランジスタ162は出力ノードN30と接地電位GNDのノードとの間に接続され、抵抗素子164およびN型トランジスタ163は第6電源電位 $V_6$ のノードと接地電位GNDのノードとの間に直列接続される。N型トランジスタ162、163のゲートは、ともにN型トランジスタ163のドレインに接続される。N型トランジスタ162、163は、カレントミラー回路を構成する。抵抗素子164およびN型トランジスタ163には抵抗素子164の抵抗値に応じた値の定電流が流れ、N型トランジスタ162にはN型トランジスタ163に流れる定電流の値に応じた値の定電流が流れる。定電流源161の電流値は、トランジスタ31、32の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

N型トランジスタ31のソース（ノードN31）の電位 $V_{31}$ は $V_{31}=V_{22}-V_{TN}=V_I+|V_{TP}|$ となり、出力ノードN30の電位 $V_O$ は $V_O=V_{31}-|V_{TP}|=V_I$ となる。

この実施の形態12では、トランジスタ23、24、31、32の各々に所定

のしきい値電圧を発生させるために必要な最小限の値の貫通電流を流せば足りるので、消費電流が小さくて済む。

また、図57は、この実施の形態12の変更例によるプッシュ型駆動回路165の構成を示す回路図である。図57を参照して、この駆動回路165が図56の駆動回路160と異なる点は、抵抗素子164が除去され、抵抗素子67が2つの定電流源62と161で共用されている点である。抵抗素子67およびN型トランジスタ163は、P型トランジスタ66のソースと接地電位GNDのノードとの間に直列接続される。N型トランジスタ163のゲートはそのドレインに接続される。この変更例では、抵抗素子67と164の抵抗値のバラツキによってオフセット電圧が発生することを防止することができる。

また、図58のプッシュ型駆動回路166は、図55のプッシュ型駆動回路160からダイオード接続されたトランジスタ23、32を除去したものである。出力電位VOは、 $VO = VI + |VTP| - VTN$ となる。ただし、 $|VTP| \approx VTN$ と設定すれば、 $VO \approx VI$ となる。あるいは、 $|VTP| - VTN$ の値をオフセット値として使用上考慮しておけば図55の駆動回路160と同様に使用することができる。この変更例では、トランジスタ23、32を除去したので、回路の占有面積を小さくすることができる。

また、定電流源62、161の各々を抵抗素子で置換してもよい。この場合は、回路構成の簡単化を図ることができる。

#### 20 [実施の形態13]

図59は、この発明の実施の形態13によるプル型駆動回路170の構成を示す回路図である。図59において、この駆動回路170は、レベルシフト回路63、定電流源171およびプルダウン回路33を含む。レベルシフト回路63およびプルダウン回路33は、図12で示したものと同一である。

すなわち、レベルシフト回路63は、第4電源電位V4（5V）のノードと第5電源電位V5（-10V）のノードとの間に直列接続されたN型トランジスタ26、P型トランジスタ27および定電流源64を含む。N型トランジスタ26のゲートは、入力ノードN20の電位VIを受ける。P型トランジスタ27のゲートは、そのドレイン（ノードN27）に接続される。P型トランジスタ27は、



ダイオード素子を構成する。定電流源 6 4 の電流値は、トランジスタ 2 6, 2 7 の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

5 N型トランジスタ 2 6 のソース（ノード N 2 6）の電位  $V_{26}$  は  $V_{26} = V_I - V_{TN}$  となる。P型トランジスタ 2 7 のドレイン（ノード N 2 7）の電位  $V_{127}$  は、 $V_{27} = V_I - V_{TN} - |V_{TP}|$  となる。したがって、レベルシフト回路 6 3 は、入力電位  $V_I$  を  $-V_{TN} - |V_{TP}|$  だけレベルシフトさせた電位  $V_{27}$  を出力する。

10 定電流源 1 7 1 は、第 4 電源電位  $V_4$  のノードと出力ノード N 3 0 との間に接続される。プルダウン回路 3 3 は、第 7 電源電位  $V_7$  ( $-10V$ ) のノードと出力ノード N 3 0 との間に直列接続された P型トランジスタ 3 5 および N型トランジスタ 3 4 を含む。P型トランジスタ 3 5 のゲートは、レベルシフト回路 6 3 の出力電位  $V_{27}$  を受ける。N型トランジスタ 3 4 のゲートは、そのドレインに接続されている。N型トランジスタ 3 4 は、ダイオード素子を構成する。P型トランジスタ 3 5 は飽和領域で動作するように第 7 電源電位  $V_7$  が設定されているので、P型トランジスタ 3 5 はいわゆるソースフォロア動作を行なう。定電流源 7 1 の電流値は、トランジスタ 3 4, 3 5 の各々に所定のしきい値電圧を発生させるために必要な最小限の値に設定されている。

20 P型トランジスタ 3 5 のソース（ノード N 3 4）の電位  $V_{34}$  は、 $V_{34} = V_{27} + |V_{TP}| = V_I - V_{TN}$  となる。出力ノード N 3 0 の電位  $V_O$  は、 $V_O = V_{34} + V_{TN} = V_I$  となる。

この実施の形態 1 3 では、トランジスタ 2 6, 2 7, 3 4, 3 5 の各々に所定のしきい値電圧を発生させるために必要な最小限の値の貫通電流を流せば足りるので、消費電流が小さくて済む。

25 また、図 6 0 は、この実施の形態 1 3 の変更例によるプル型駆動回路 1 7 2 の構成を示す回路図である。図 6 0 を参照して、このプル型駆動回路 1 7 2 は、図 5 9 のプル型駆動回路 1 7 0 からダイオード接続されたトランジスタ 2 7, 3 4 を除去したものである。出力電位  $V_O$  は、 $V_O = V_I + |V_{TP}| - V_{TN}$  となる。ただし、 $|V_{TP}| \cong V_{TN}$  と設定すれば、 $V_O \cong V_I$  となる。あるいは、

|VTP| - VTNの値をオフセット値として使用上考慮しておけば図59の駆動回路170と同様に使用することができる。この変更例では、トランジスタ27, 34を除去したので、回路の占有面積を小さくすることができる。

また、定電流源164, 171の各々を抵抗素子で置換してもよい。この場合は、回路構成の簡単化を図ることができる。

#### [実施の形態14]

図61は、この発明の実施の形態14による駆動回路175の構成を示す回路図である。図61において、この駆動回路175は、図55のプッシュ型駆動回路160と、図59のプル型駆動回路170とを組合せたものである。レベルシフト回路61のP型トランジスタ24のゲートおよびレベルシフト回路63のN型トランジスタ26のゲートは、入力ノードN20の電位VIを受ける。プルアップ回路30のP型トランジスタ32のドレインおよびプルダウン回路33のN型トランジスタ34のドレインは、ともに出力ノードN30に接続される。

出力電位VOが入力電位VIよりも高い場合は、プルアップ回路30のトランジスタ31, 32が非導通になるとともに、プルダウン回路33のトランジスタ34, 35が導通し、出力電位VOが低下する。出力電位VOが入力電位VIよりも低い場合は、プルダウン回路33のトランジスタ34, 35が非導通になるとともに、プルアップ回路30のトランジスタ31, 32が導通し、出力電位VOが上昇する。したがって、VO=VIとなる。

この駆動回路175は、プッシュ型駆動回路、プル型駆動回路、またはプッシュプル型駆動回路として用いられる。駆動回路175がプッシュ型駆動回路として用いられる場合は、プルダウン回路33のトランジスタ34, 35の電流駆動能力がプルアップ回路30のトランジスタ31, 32の電流駆動能力に比べて十分に小さなレベルに設定される。駆動回路175がプル型駆動回路として用いられる場合は、プルアップ回路30のトランジスタ31, 32の電流駆動能力がプルダウン回路33のトランジスタ34, 35の電流駆動能力に比べて十分に小さなレベルに設定される。駆動回路175がプッシュプル型駆動回路として用いられる場合は、プルアップ回路30のトランジスタ31, 32の電流駆動能力とプルダウン回路33のトランジスタ34, 35の電流駆動能力とは同じレベルに設

定される。

この実施の形態 1 4 でも、貫通電流が小さな駆動回路 1 7 5 を得ることができ、消費電力の低減化を図ることができる。

5       また、図 6 2 は、この実施の形態 1 4 の変更例による駆動回路 1 7 6 の構成を示す回路図である。図 6 2 を参照して、この駆動回路 1 7 6 は、図 6 1 の駆動回路 1 7 0 からダイオード接続されたトランジスタ 2 3, 2 7, 3 2, 3 4 を除去したものである。出力電位  $V_O$  は、 $V_O = V_I + |V_{TP}| - V_{TN}$  となる。ただし、 $|V_{TP}| \simeq V_{TN}$  と設定すれば、 $V_O \simeq V_I$  となる。あるいは、 $|V_{TP}| - V_{TN}$  の値をオフセット値として使用上考慮しておけば図 6 1 の駆動回路  
10       1 7 5 と同様に使用することができる。この変更例では、トランジスタ 2 3, 2 7, 3 2, 3 4 を除去したので、回路の占有面積を小さくすることができる。

      また、図 6 3 は、この実施の形態 1 4 の他の変更例による駆動回路 1 8 0 の構成を示す回路図である。図 6 3 において、この駆動回路 1 8 0 は、図 6 1 の駆動回路 1 7 5 のレベルシフト回路 6 1, 6 3 をそれぞれレベルシフト回路 1 8 1, 1 8 3 で置換したものである。レベルシフト回路 1 8 1 は、レベルシフト回路 6 1 の定電流源 6 2 を抵抗素子 1 8 2 で置換したものである。レベルシフト回路 1 8 3 は、レベルシフト回路 6 3 の定電流源 6 4 を抵抗素子 1 8 4 で置換したものである。抵抗素子 1 8 2, 1 8 4 の抵抗値は、抵抗素子 1 8 2, 1 8 4 が定電流源 6 2, 6 4 と同程度の電流を流すような値に設定されている。この変更例でも、  
15       図 6 1 の駆動回路 1 7 5 と同じ効果が得られる。

      また、図 6 4 は、この実施の形態 1 4 のさらに他の変更例による駆動回路 1 8 5 の構成を示す回路図である。図 6 4 を参照して、この駆動回路 1 8 5 が図 6 1 の駆動回路 1 7 5 と異なる点は、定電流源 1 6 1 が出力ノード  $N_{30}$  と第 5 電源電位  $V_5$  のノードとの間に接続され、定電流源 1 7 1 が第 3 電源電位  $V_3$  のノードと出力ノード  $N_{30}$  との間に接続されている点である。  
25       

      定電流源 6 2, 6 4, 1 6 1, 1 7 1 は、図 6 5 に示すように、抵抗素子 6 7、P 型トランジスタ 6 5, 6 6, 1 8 9、および N 型トランジスタ 1 8 6 ~ 1 8 8 で構成される。P 型トランジスタ 6 6、抵抗素子 6 7 および N 型トランジスタ 1 8 6 は、第 3 電源電位  $V_3$  のノードと第 5 電源電位  $V_5$  のノードとの間に直列接

続される。P型トランジスタ66のゲートはそのドレインに接続され、N型トランジスタ186のゲートはそのドレインに接続される。トランジスタ66, 186の各々は、ダイオード素子を構成する。

5 P型トランジスタ65は、第3電源電位V3のノードとノードN22との間に接続され、そのゲートはP型トランジスタ66のゲートに接続される。P型トランジスタ189は、第3電源電位V3のノードと出力ノードN30との間に接続され、そのゲートはP型トランジスタ66のゲートに接続される。P型トランジスタ66, 65, 189は、カレントミラー回路を構成する。P型トランジスタ65, 189の各々には、P型トランジスタ66に流れる電流に応じた値の電流  
10 が流れる。P型トランジスタ65, 189は、それぞれ定電流源62, 171を構成する。

N型トランジスタ187は、第5電源電位V5のノードとノードN27との間に接続され、そのゲートはN型トランジスタ186のゲートに接続される。N型トランジスタ188は、第5電源電位V5のノードと出力ノードN30との間に  
15 接続され、そのゲートはN型トランジスタ186のゲートに接続される。N型トランジスタ186~188は、カレントミラー回路を構成する。N型トランジスタ187, 188の各々には、N型トランジスタ186に流れる電流に応じた値の電流が流れる。N型トランジスタ187, 188は、それぞれ定電流源64, 161を構成する。他の構成および動作は、図61の駆動回路175と同じである  
20 のので、その説明は繰り返さない。この変更例でも、図61の駆動回路175と同じ効果が得られる。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更  
25 が含まれることが意図される。

1. 入力電位 ( $V_G$ ) をサンプリングし、サンプリングした電位を保持および出力するサンプルホールド回路 (14) であって、

5      その一方電極が前記入力電位 ( $V_G$ ) を受け、第1の期間に導通する第1のスイッチング素子 (15)、

        その一方電極が前記第1のスイッチング素子 (15) の他方電極に接続され、第2の期間に導通する第2のスイッチング素子 (16)、

        その一方電極が前記第2のスイッチング素子 (16) の他方電極に接続され、  
10      その他方電極が所定の電位 ( $V_{SS}$ ) を受ける第1のキャパシタ (19)、および

        その入力ノード ( $N_{20}$ ) が前記第2のスイッチング素子 (16) の他方電極に接続され、その出力ノード ( $N_{30}$ ) が前記第1のスイッチング素子 (15) の他方電極に接続され、前記入力ノード ( $N_{20}$ ) の電位に応じた電位を出力ノード ( $N_{30}$ ) に出力する駆動回路 (160) を備える、サンプルホールド回路。  
15

2. 前記第1および第2の期間は同じ期間である、請求項1に記載のサンプルホールド回路。

3. 前記第2の期間は前記第1の期間内の期間である、請求項1に記載のサンプルホールド回路。

20      4. 前記駆動回路 (160) は、

        前記入力ノード ( $N_{20}$ ) の電位 ( $V_1$ ) を予め定められた第1の電圧だけある電位方向にレベルシフトさせた電位 ( $V_{22}$ ) を出力する第1のレベルシフト回路 (61)、

        前記第1のレベルシフト回路 (61) の出力電位 ( $V_{22}$ ) を前記ある電位方向と逆の電位方向に予め定められた第2の電圧だけレベルシフトさせた電位を前記出力ノード ( $N_{30}$ ) に出力する第2のレベルシフト回路 (30, 161) を含む、請求項1に記載のサンプルホールド回路。  
25

5. 前記第1のレベルシフト回路 (61) は、

        その一方電極が第1の電源電位 ( $V_3$ ) を受ける第1の電流制限素子 (62)、

および

5        その第1の電極が前記第1の電流制限素子(62)の他方電極に接続され、その第2の電極が第2の電源電位(GND)を受け、その入力電極が前記入力ノード(N20)の電位(VI)を受ける第1の導電形式の第1のトランジスタ(24)を含み、

10        前記第2のレベルシフト回路(30, 161)は、その第1の電極が第3の電源電位(V6)を受け、その第2の電極が前記出力ノード(N30)に接続され、その入力電極が前記第1の電流制限素子(62)の他方電極に接続された第2の導電形式の第2のトランジスタ(31)を含む、請求項4に記載のサンプルホールド回路。

6. 前記第1のレベルシフト回路(61)は、さらに、その第1の電極および入力電極が前記第1の電流制限素子(62)の他方電極に接続され、その第2の電極が前記第1のトランジスタ(24)の第1の電極に接続された第2の導電形式の第3のトランジスタ(23)を含み、

15        前記第2のレベルシフト回路(30, 161)は、さらに、その第1の電極が前記第2のトランジスタ(31)の第2の電極に接続され、その第2の電極および入力電極が前記出力ノード(N30)に接続された第1の導電形式の第4のトランジスタ(32)を含む、請求項5に記載のサンプルホールド回路。

20        7. 前記第2のレベルシフト回路(30, 161)は、さらに、前記出力ノード(N30)と第4の電源電位(GND)のラインとの間に接続された第2の電流制限素子(161)を含む、請求項5に記載のサンプルホールド回路。

8. 前記第1および第3の電源電位(V3, V6)は同電位であり、

前記第2および第4の電源電位(GND, GND)は同電位である、請求項7に記載のサンプルホールド回路。

25        9. 前記第1および第2の電流制限素子(62, 161)はそれぞれ第1および第2の抵抗素子を含む、請求項7に記載のサンプルホールド回路。

10. 前記第1の電流制限素子(62)は、その入力電極が第1の定電圧を受ける第2の導電形式の第3のトランジスタ(65)を含み、

前記第2の電流制限素子(162)は、その入力電極が第2の定電圧を受ける

第1の導電形式の第4のトランジスタ（161）を含む、請求項7に記載のサンプルホールド回路。

5 11. 前記駆動回路（75, 80）は、さらに、前記入力ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じて前記第1および第2のレベルシフト回路（61, 30）間の所定のノード（N22）の電位（V22）を前記ある電位方向にパルス的に変化させるパルス発生回路（76, 81）を含む、請求項4に記載のサンプルホールド回路。

10 12. 前記パルス発生回路（76）は、その一方電極が前記第1のノード（N22）に接続され、その他方電極の電位が前記入力ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じて前記ある電位方向にパルス的に変化される第2のキャパシタ（76）を含む、請求項11に記載のサンプルホールド回路。

15 13. 前記パルス発生回路（81）は、その一方電極が電源電位（V3）を受け、その他方電極が前記所定のノード（N22）に接続され、前記入力ノード（N20）の電位（V1）が前記ある電位方向に変化されたことに応じてパルス的に導通する第3のスイッチング素子（81）を含む、請求項11に記載のサンプルホールド回路。

20 14. 前記駆動回路（125）は、さらに、オフセット電圧を打消すオフセット補償回路（122a, S1a～S3a）を含む、請求項4に記載のサンプルホールド回路。

15 15. 前記第2のレベルシフト回路（30）の出力電位は、前記出力ノード（N121）の代りに第2のノード（N30a）に接続され、前記オフセット補償回路（122a, S1a～S3a）は、第2のキャパシタ（122a）、前記第2のキャパシタ（122a）の一方電極、前記第1のレベルシフト回路（61）に前記入力ノードの電位（V1）を与えるとともに前記第2のキャパシタ（122）の他方電極を前記所定のノード（N30a）に接続する第1の切換回路（S1a, S2a）、および

前記第2のキャパシタ（122a）の他方電極に前記入力ノードの電位（V

1) を与えるとともに前記第2のキャパシタ (122a) の一方電極の電位を前記入力ノードの電位 (VI) の代りに前記第1のレベルシフト回路 (61) に与える第2の切換回路 (S3a)、および

前記第2のノード (N30a) の電位を前記出力ノード (N121) に与える第3の切換回路 (S4a) を含む、請求項14に記載のサンプルホールド回路。

16. 前記オフセット補償回路 (122a, 126a, 131a, S1a~S3a) は、さらに、前記第1の切換回路 (S1a, S2a) によって前記第2のキャパシタ (122a) の一方電極に前記入力電位が与えられるとともに前記第2のキャパシタ (122a) の他方電極が前記所定のノード (N30a) に接続されている期間において、前記所定のノード (N30a) の電位を前記ある電位方向と逆の電位方向にパルス的に変化させるパルス発生回路 (126a, 131a) を含む、請求項15に記載の駆動回路。

17. 前記駆動回路 (60) は、

さらに、前記入力ノード (N20) の電位 (VI) よりも前記第2の電圧だけ低い電位を出力する第3のレベルシフト回路 (63)、および

前記第3のレベルシフト回路 (63) の出力電位 (V27) よりも前記第1の電圧だけ高い電位を前記出力ノード (N30) に出力する第4のレベルシフト回路 (33) を含む、請求項4に記載のサンプルホールド回路。

18. 前記駆動回路 (60) は、さらに、その一方電極および他方電極がそれぞれ前記第1および第3のレベルシフト回路 (61, 63) の出力電位を受け、前記第1および第3のレベルシフト回路 (61, 63) のうちの一方のレベルシフト回路の出力電位の変化分を容量結合によって他方のレベルシフト回路の出力電位に加算するための第2のキャパシタ (29) を含む、請求項17に記載のサンプルホールド回路。

19. 請求項1のサンプルホールド回路 (20) と、該サンプルホールド回路 (20) の出力電位によって駆動される液晶素子 (2) とを備える、画像表示装置。

20. 請求項1のサンプルホールド回路 (20) と、該サンプルホールド回路 (20) の出力電位によって駆動されるエレクトロルミネッセンス素子 (51) とを備える、画像表示装置。



## 要約書

このサンプルホールド回路（１４）は、データ線（６）と第１ノード（N１  
０）との間に接続された第１スイッチ（１５）と、第１ノード（N１０）と第２  
5 ノード（N２０）との間に接続された第２スイッチ（１６）と、第２ノード（N  
２０）と共通電位（VSS）のラインとの間に接続されたキャパシタ（１９）と、  
第２ノード（N２０）に等しい電位を第１ノード（N１０）および液晶素子  
（２）の一方電極に与える駆動回路（２０）とを備えたものである。第１スイッ  
チ（１５）および第２スイッチ（１６）は、走査線（４）が「H」レベルの場合  
10 に導通する。

FIG.1

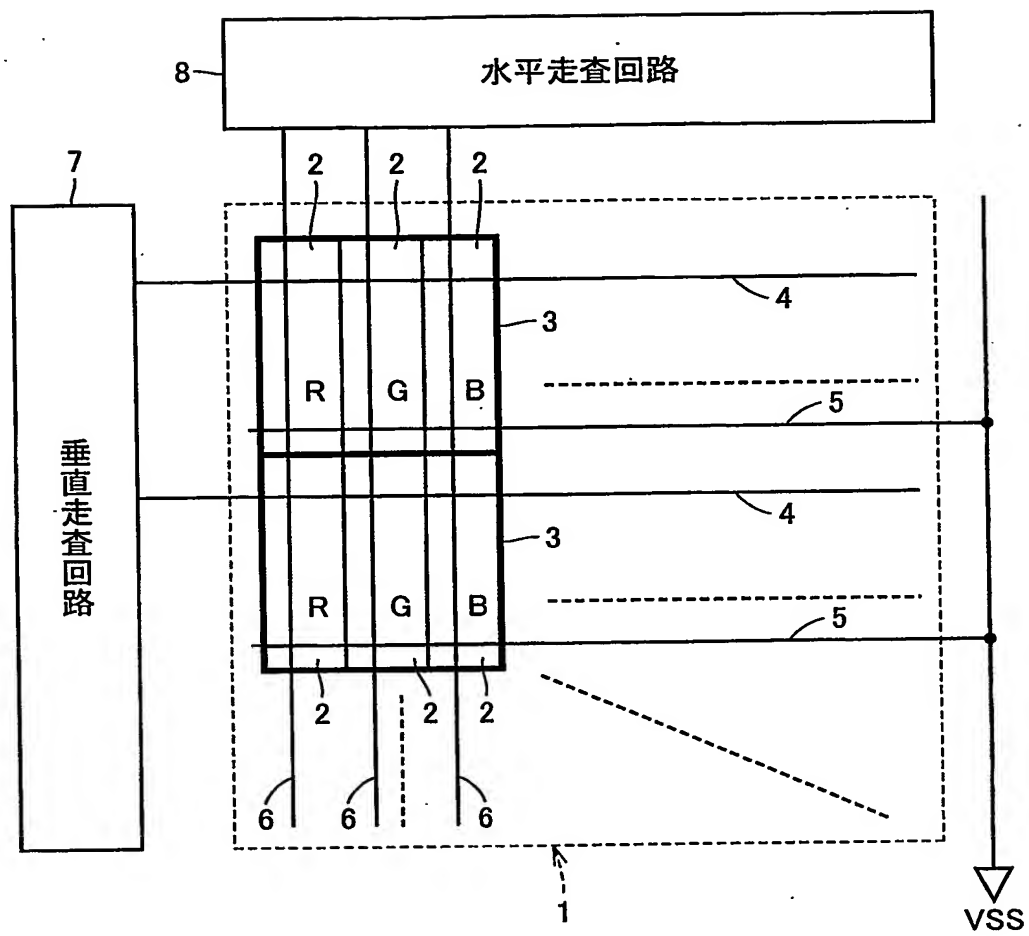
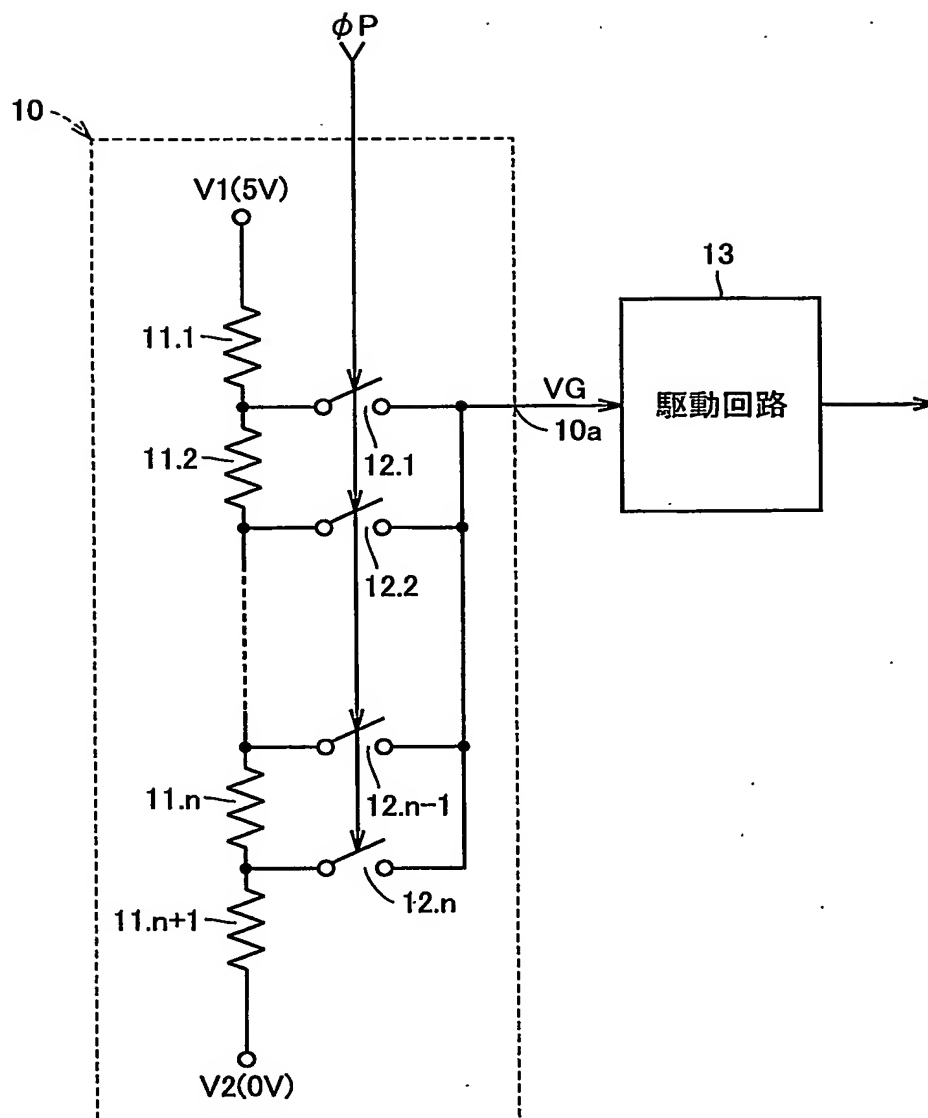
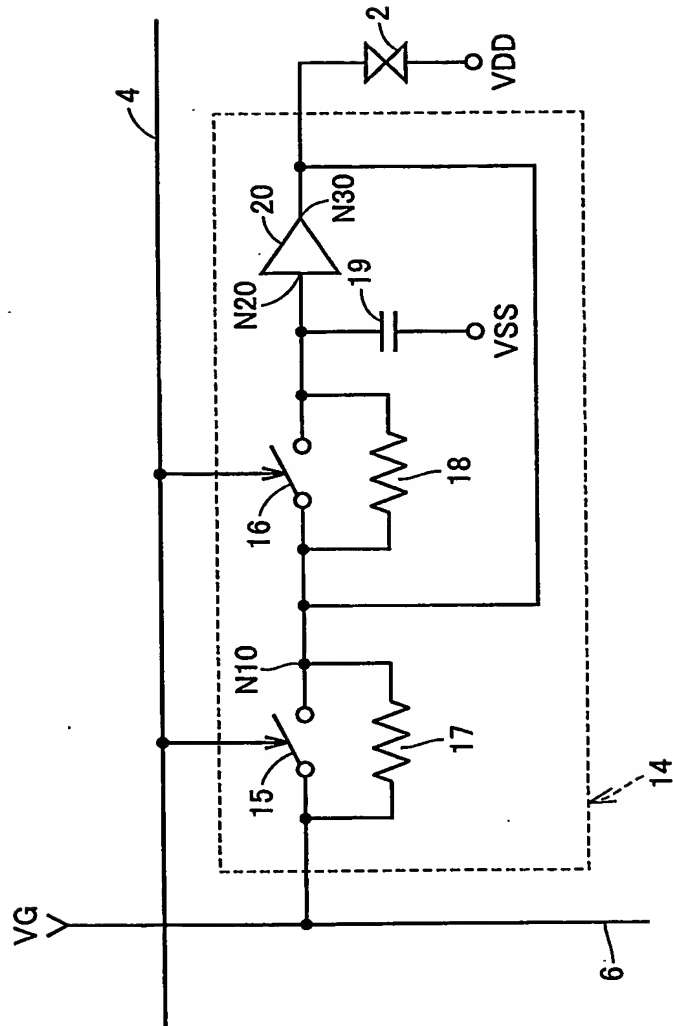
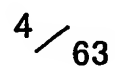


FIG.2





20





20

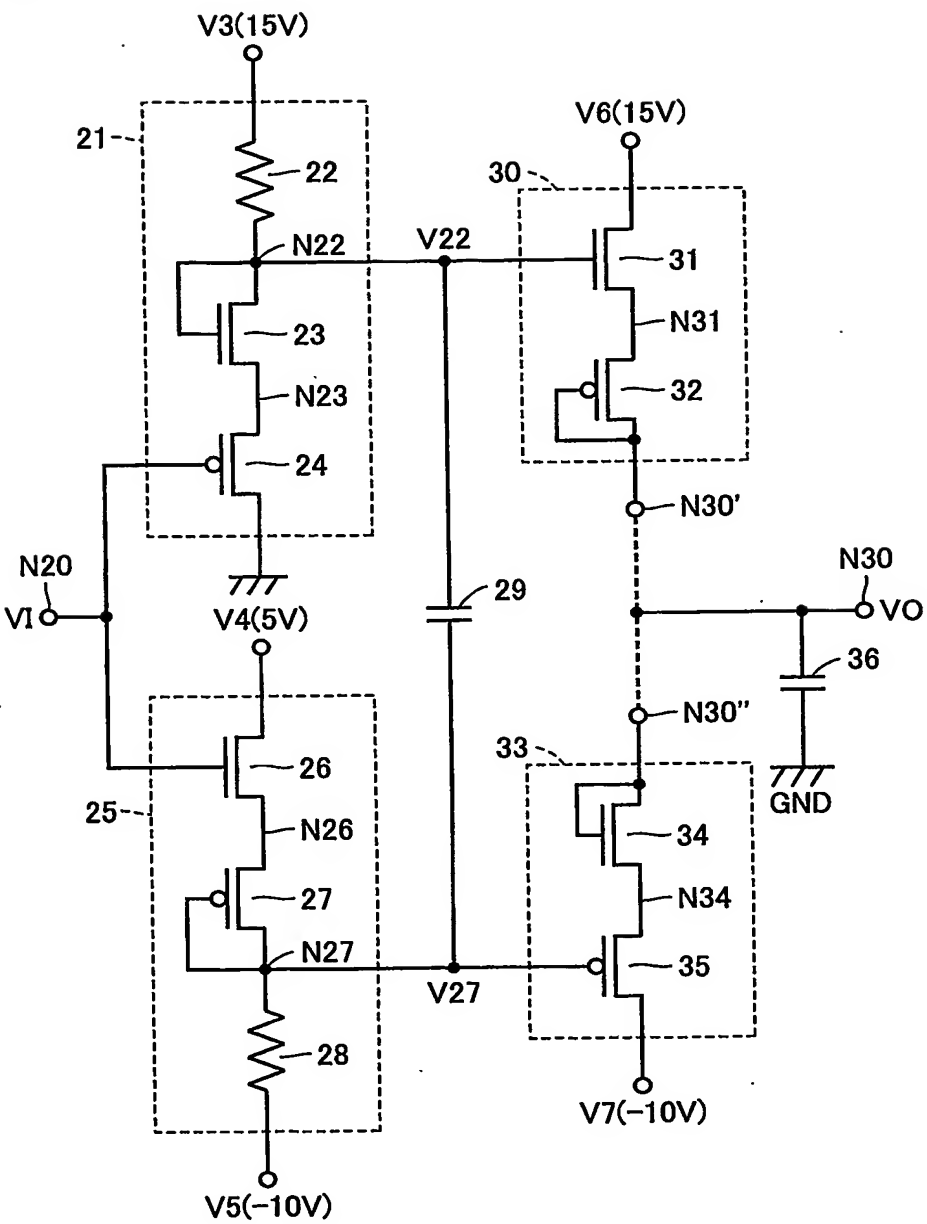


FIG.6

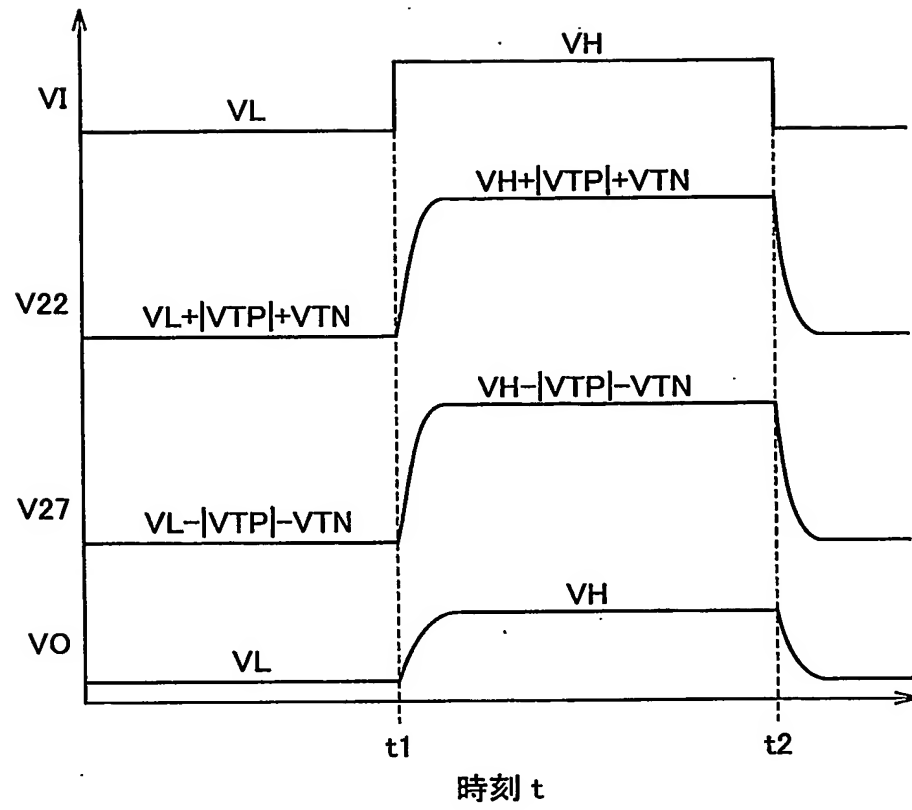


FIG.7

40

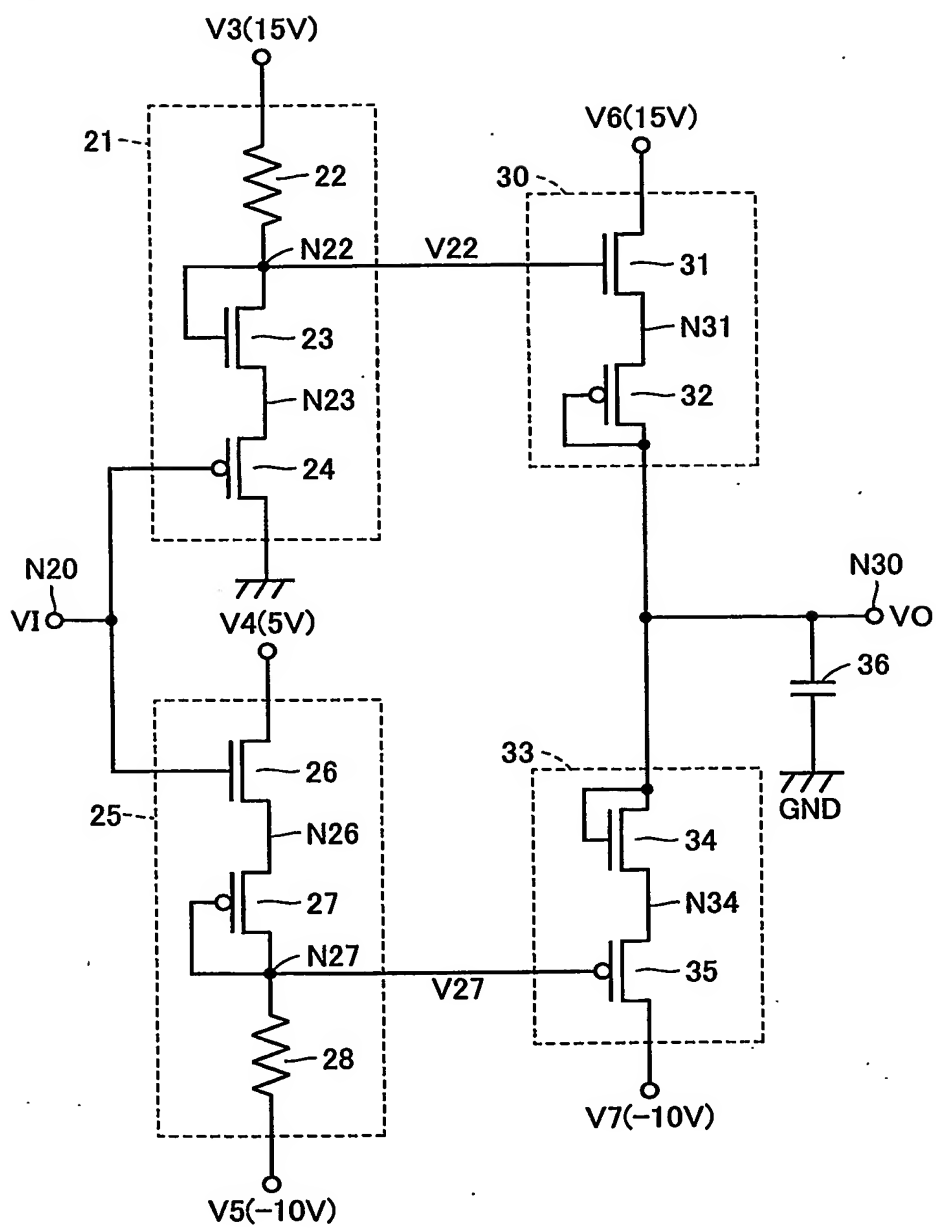




FIG.8

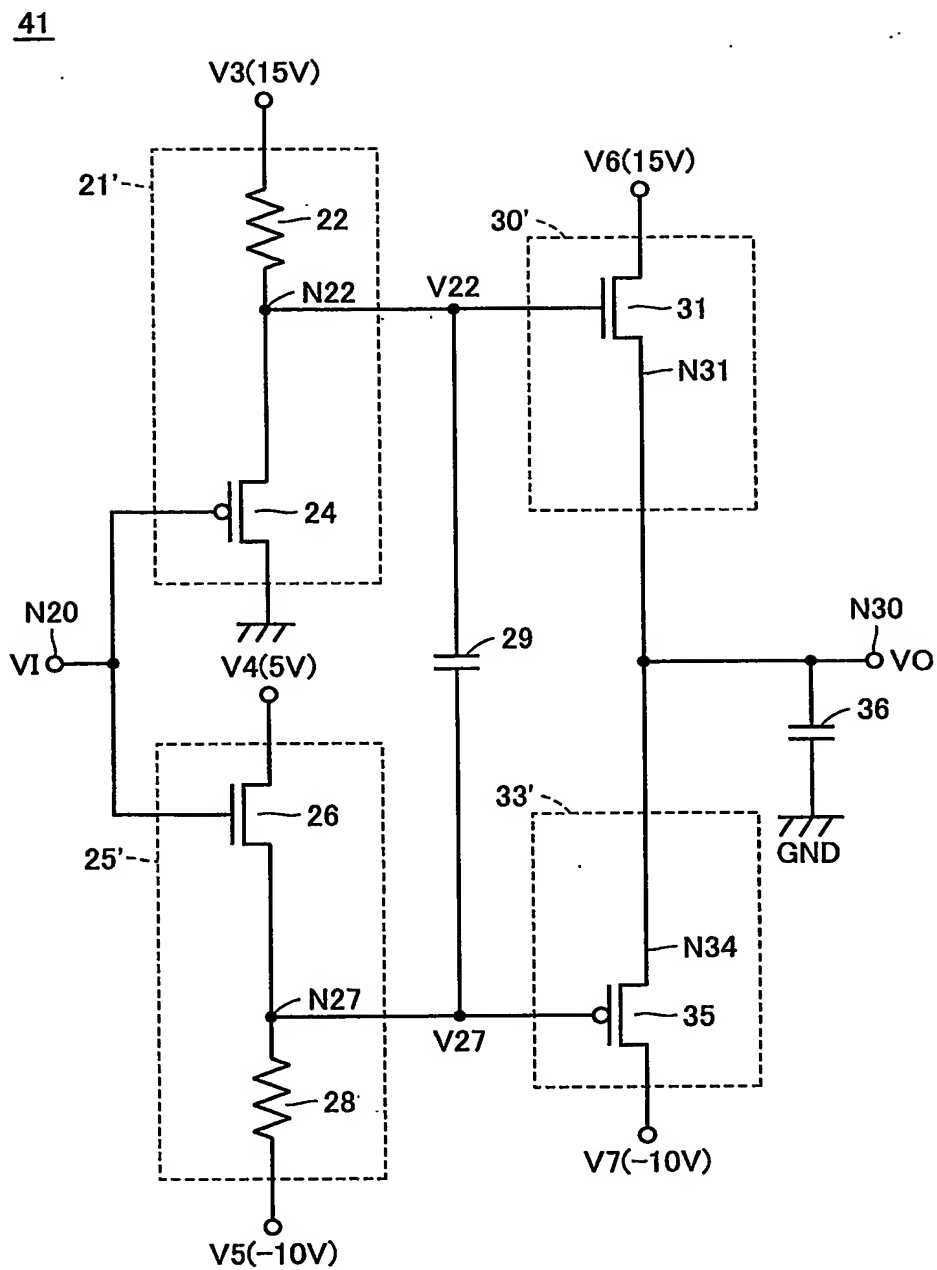


FIG.9

42

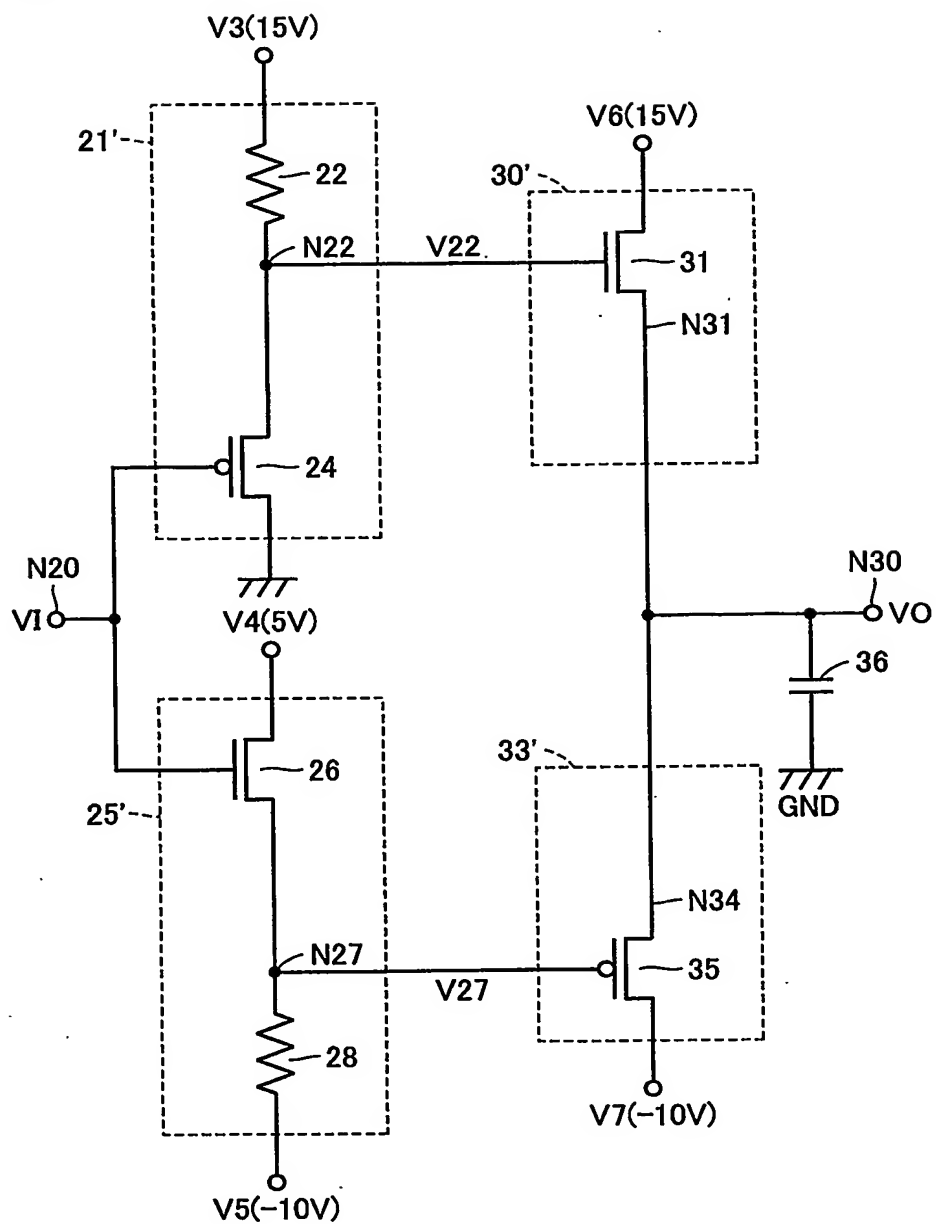


FIG.10

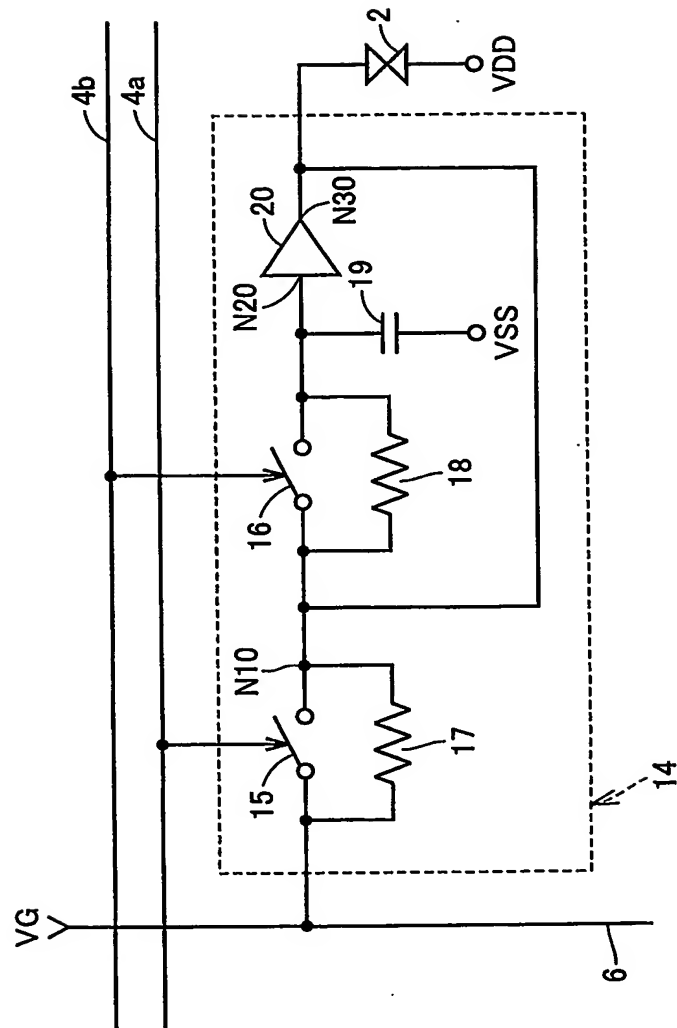


FIG.11

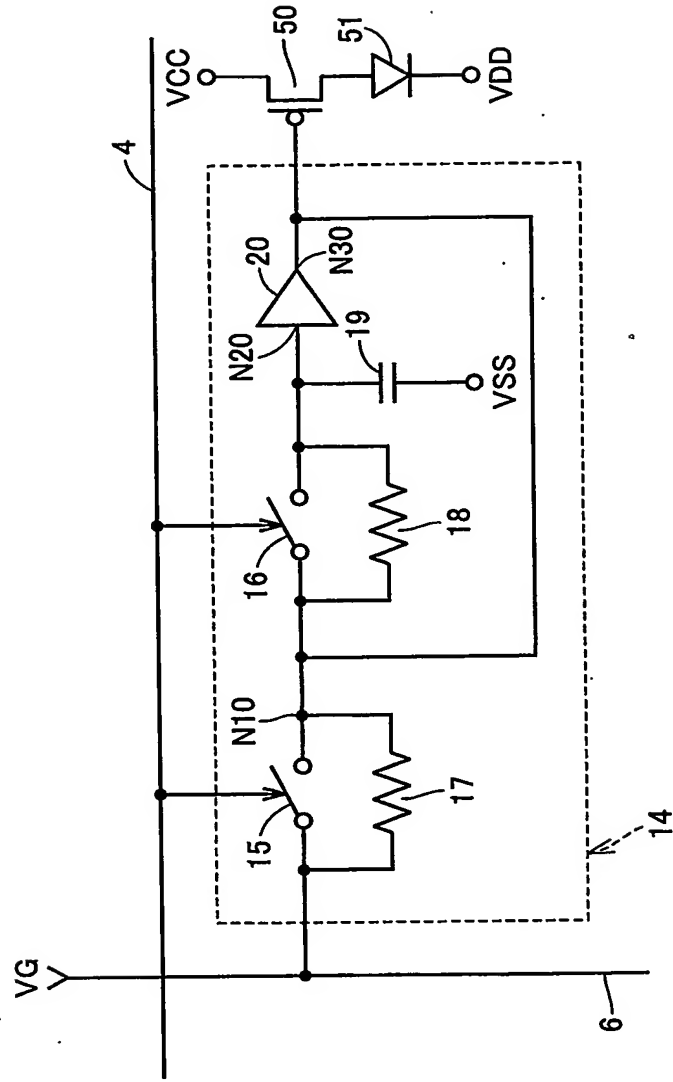


FIG.12

60

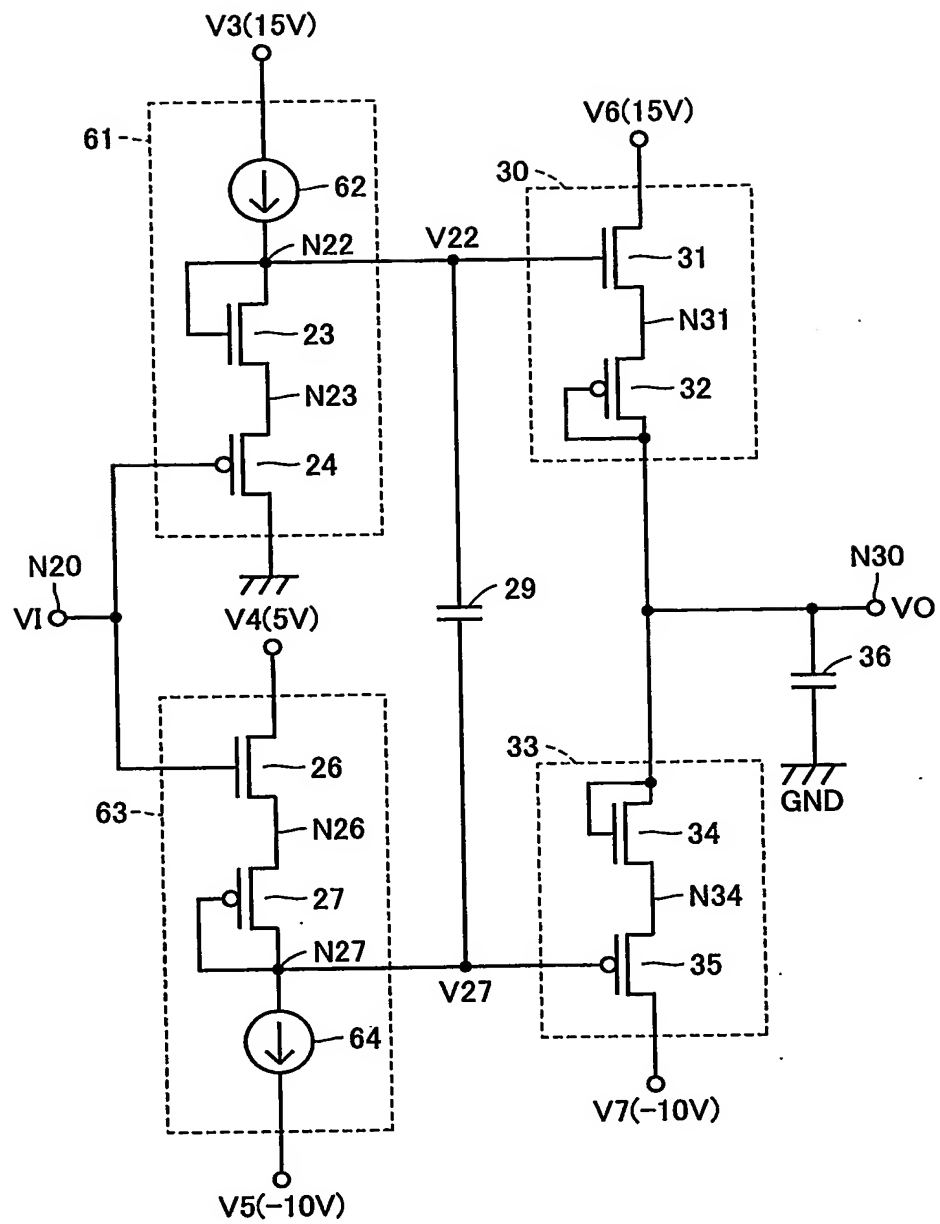


FIG.13

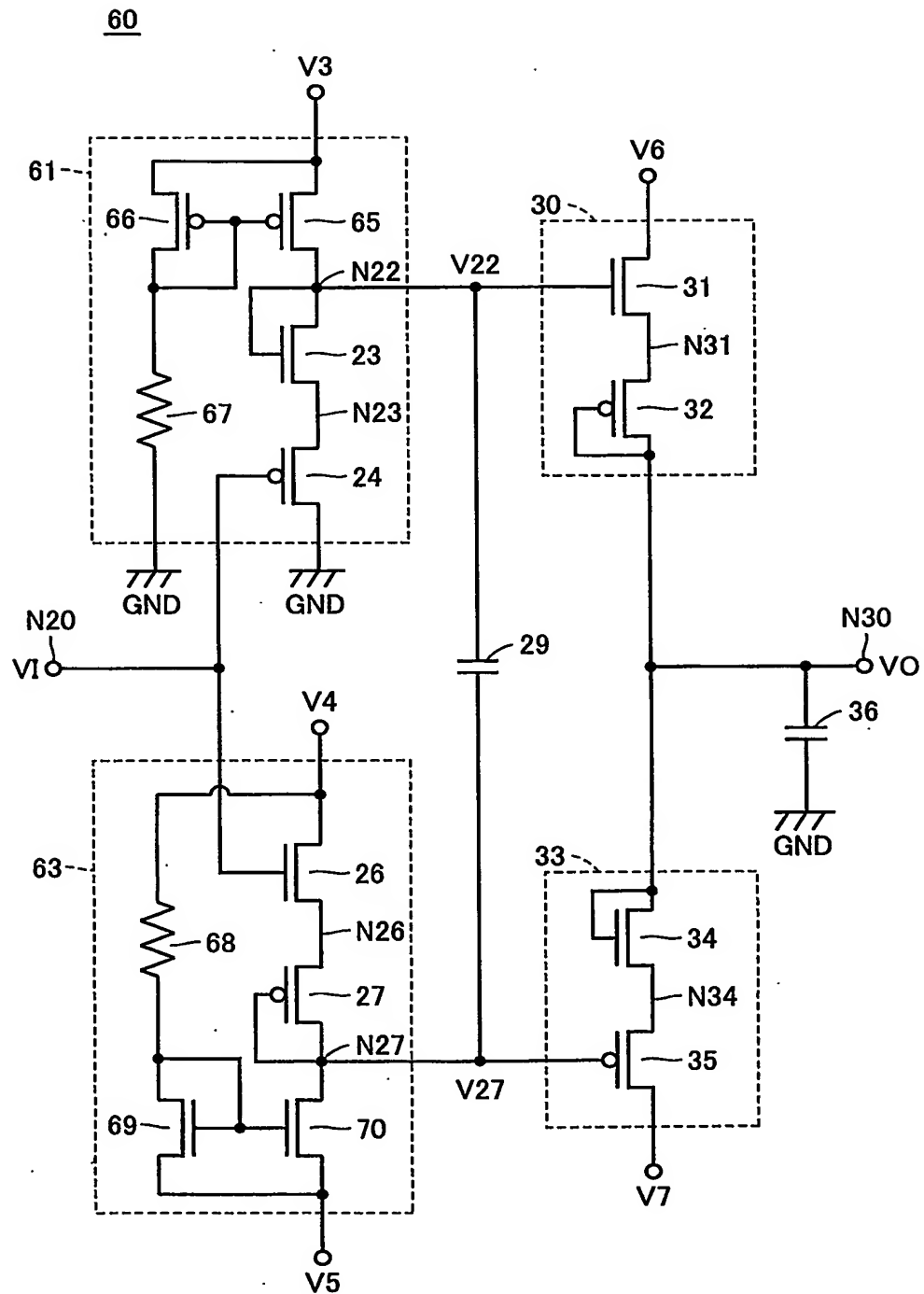


FIG.14

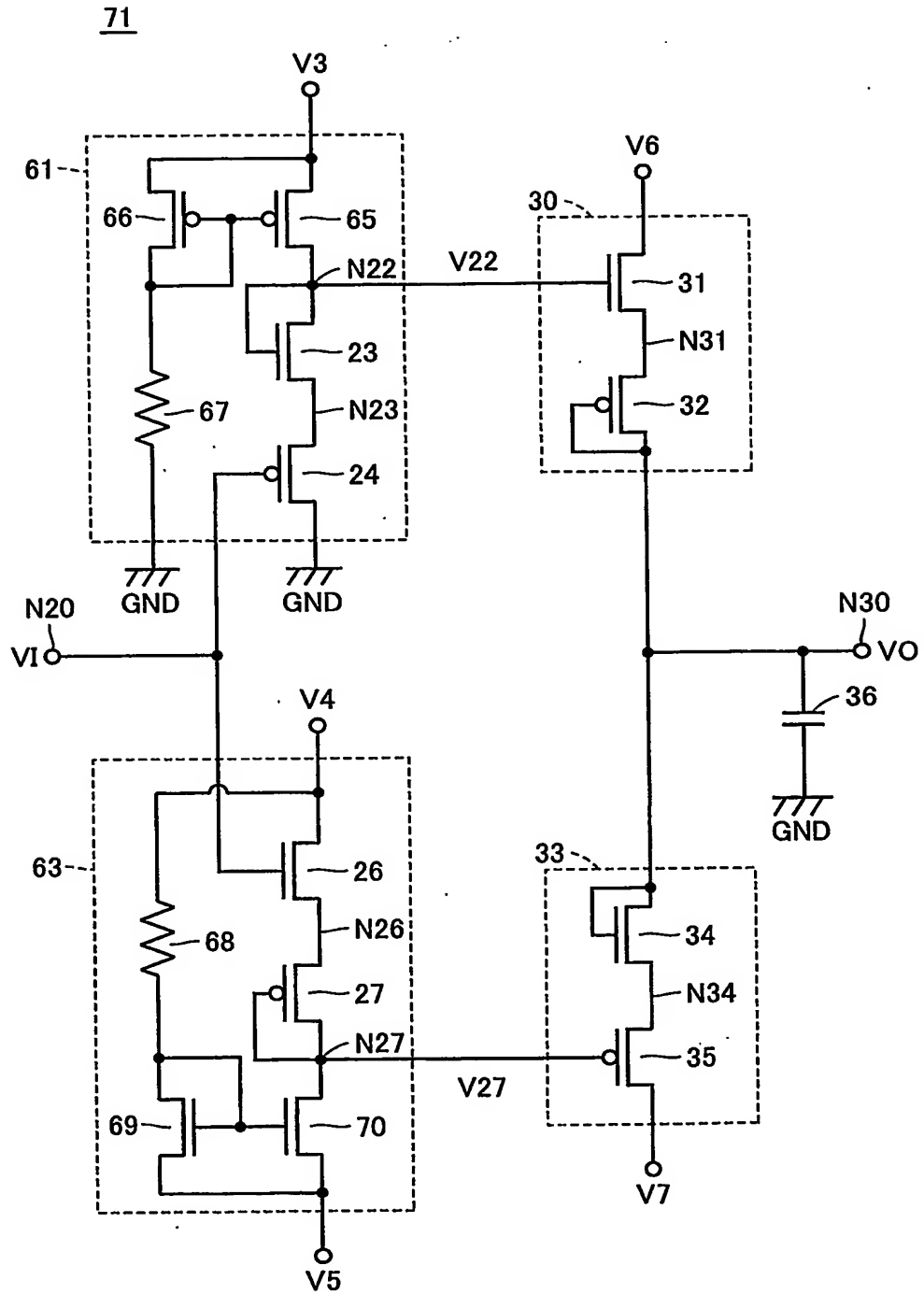


FIG.15

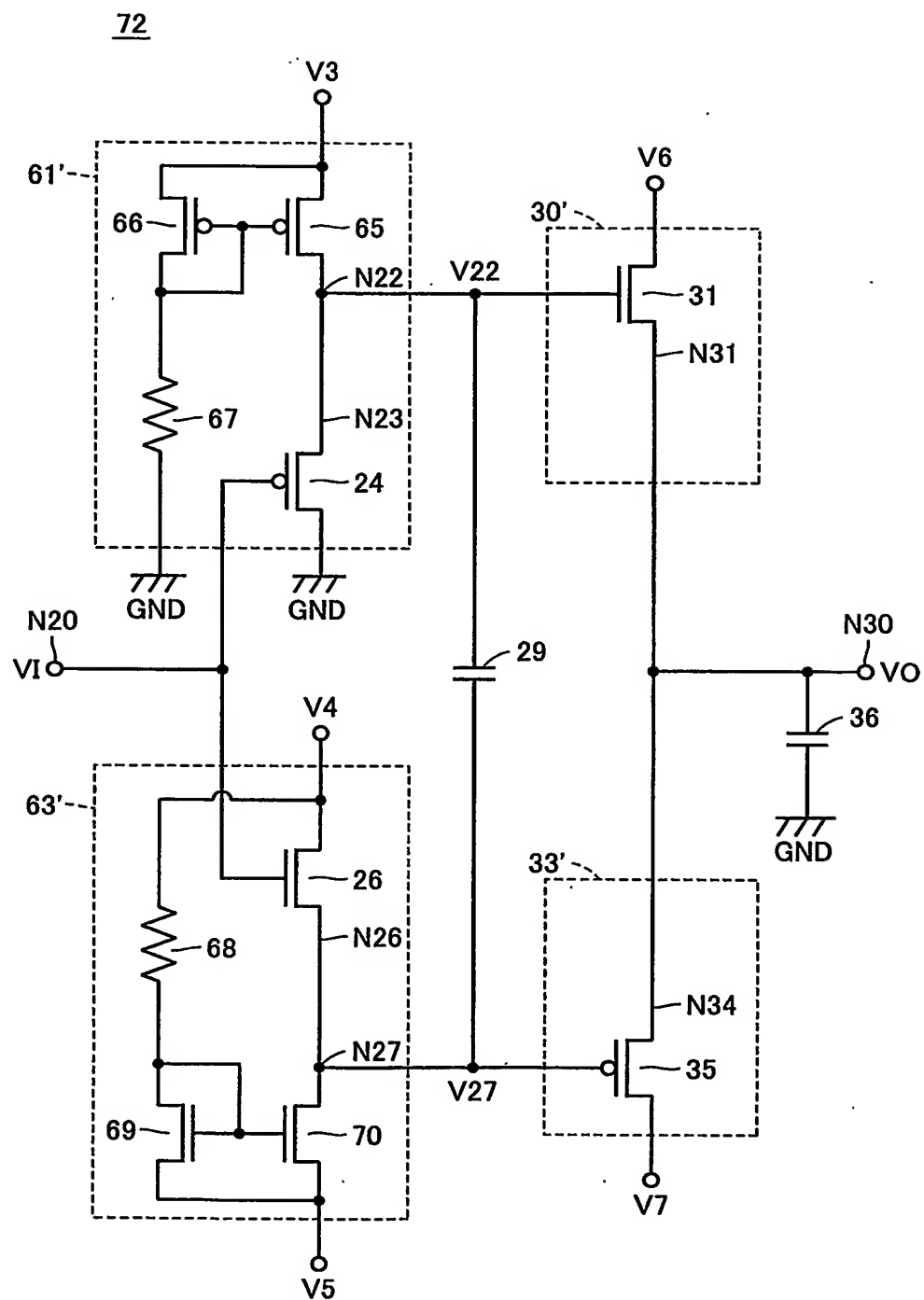




FIG.16

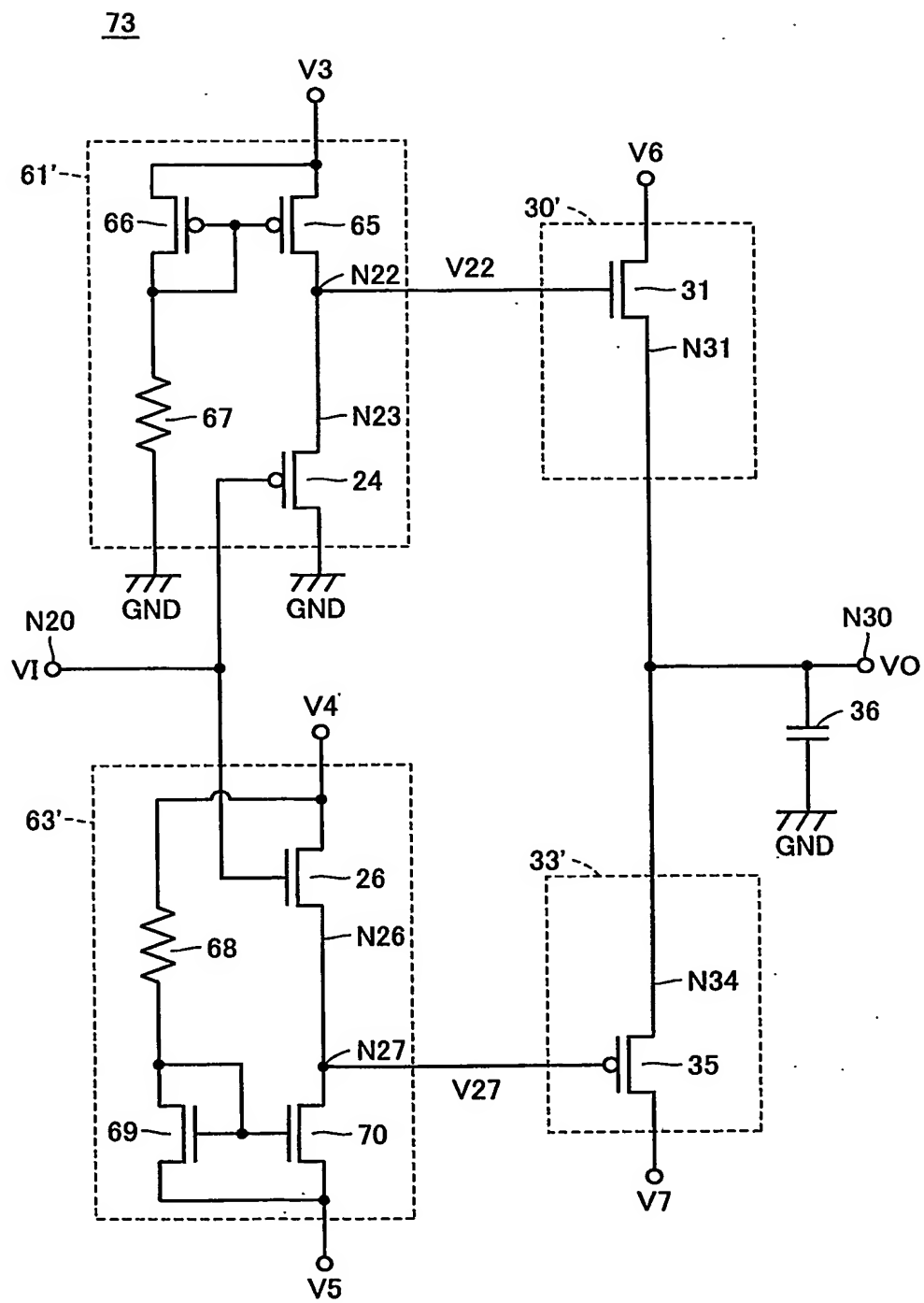




FIG.18

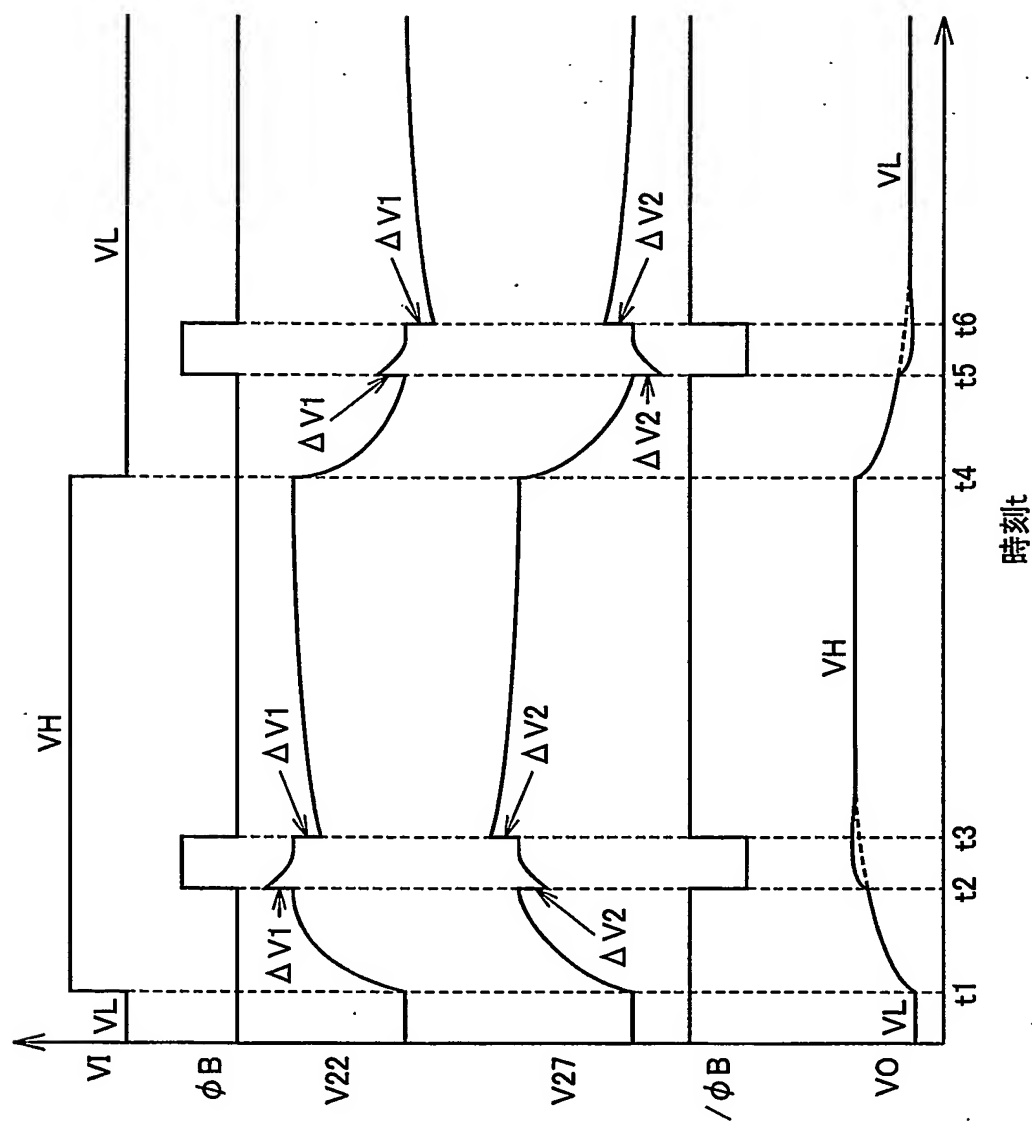


FIG.19

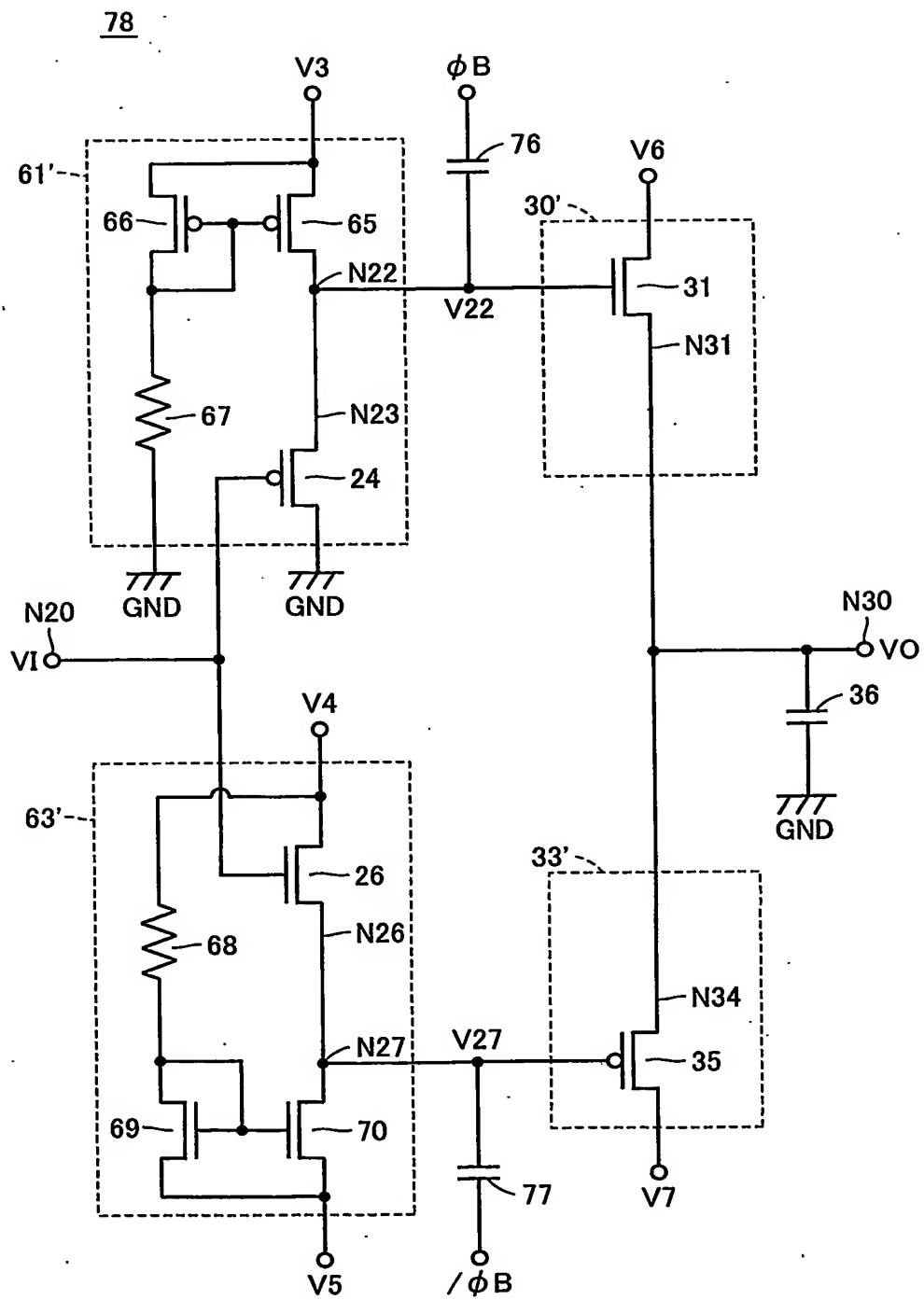


FIG.20

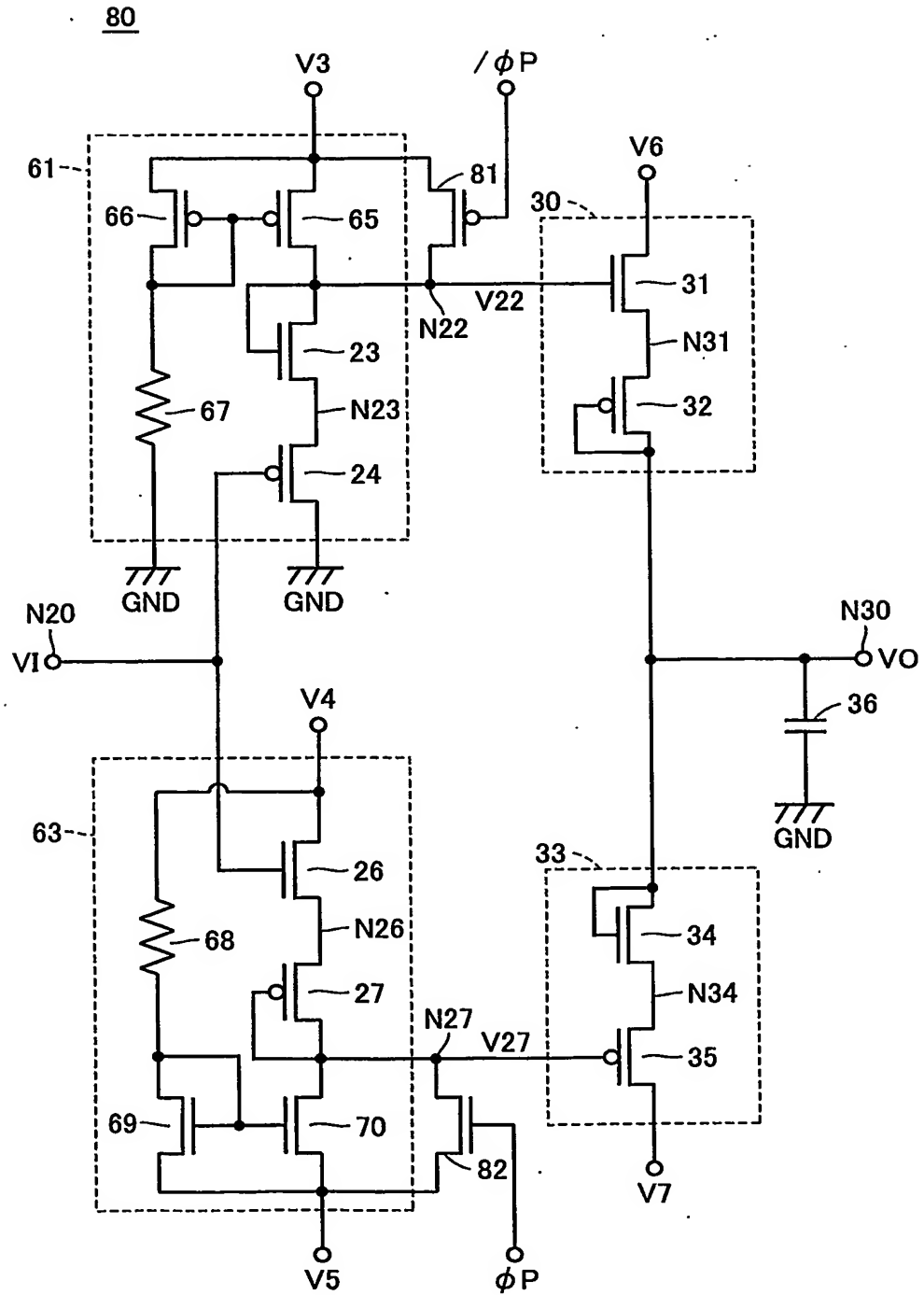


FIG.21

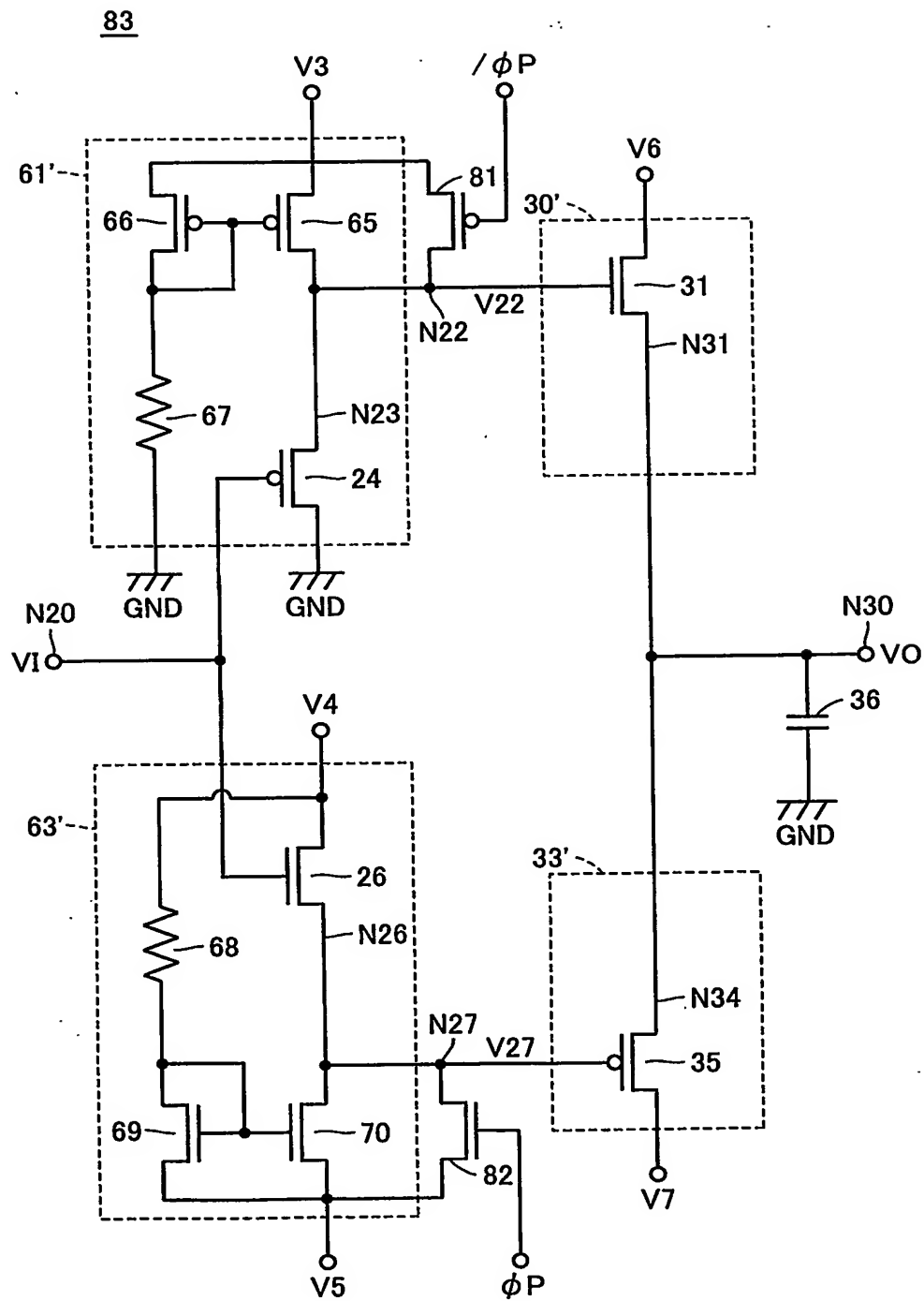


FIG.22

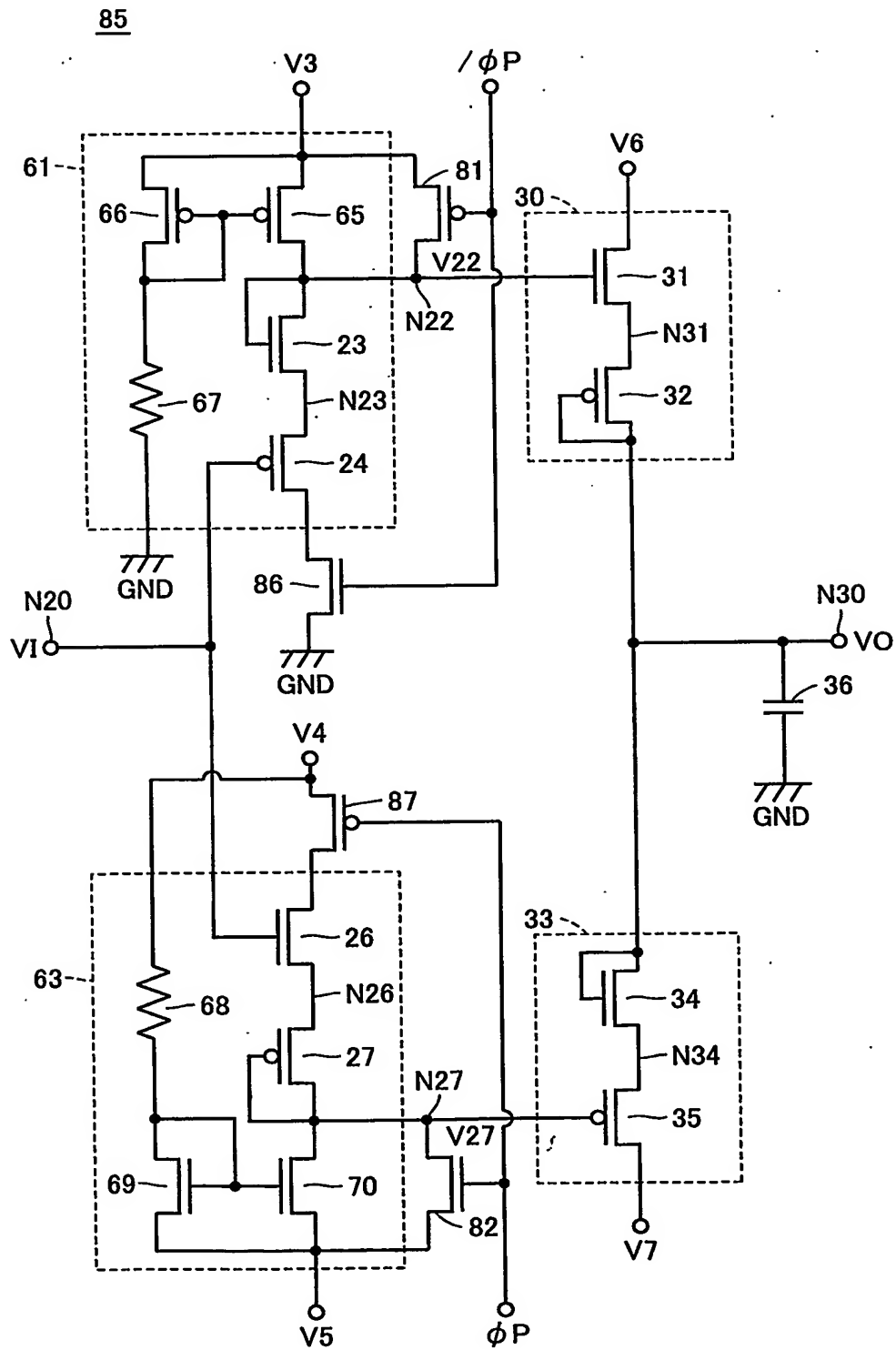


FIG.23

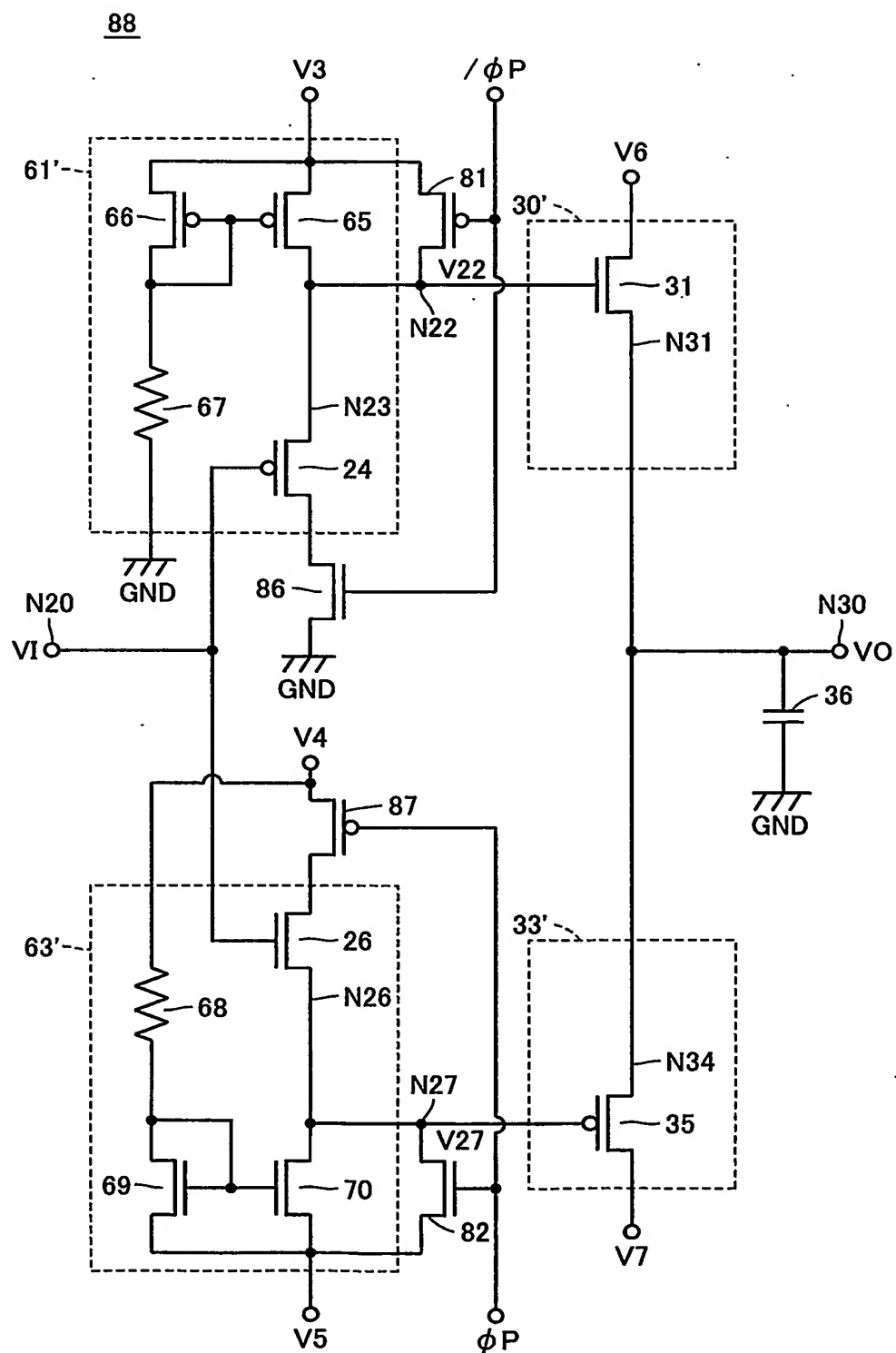




FIG.24

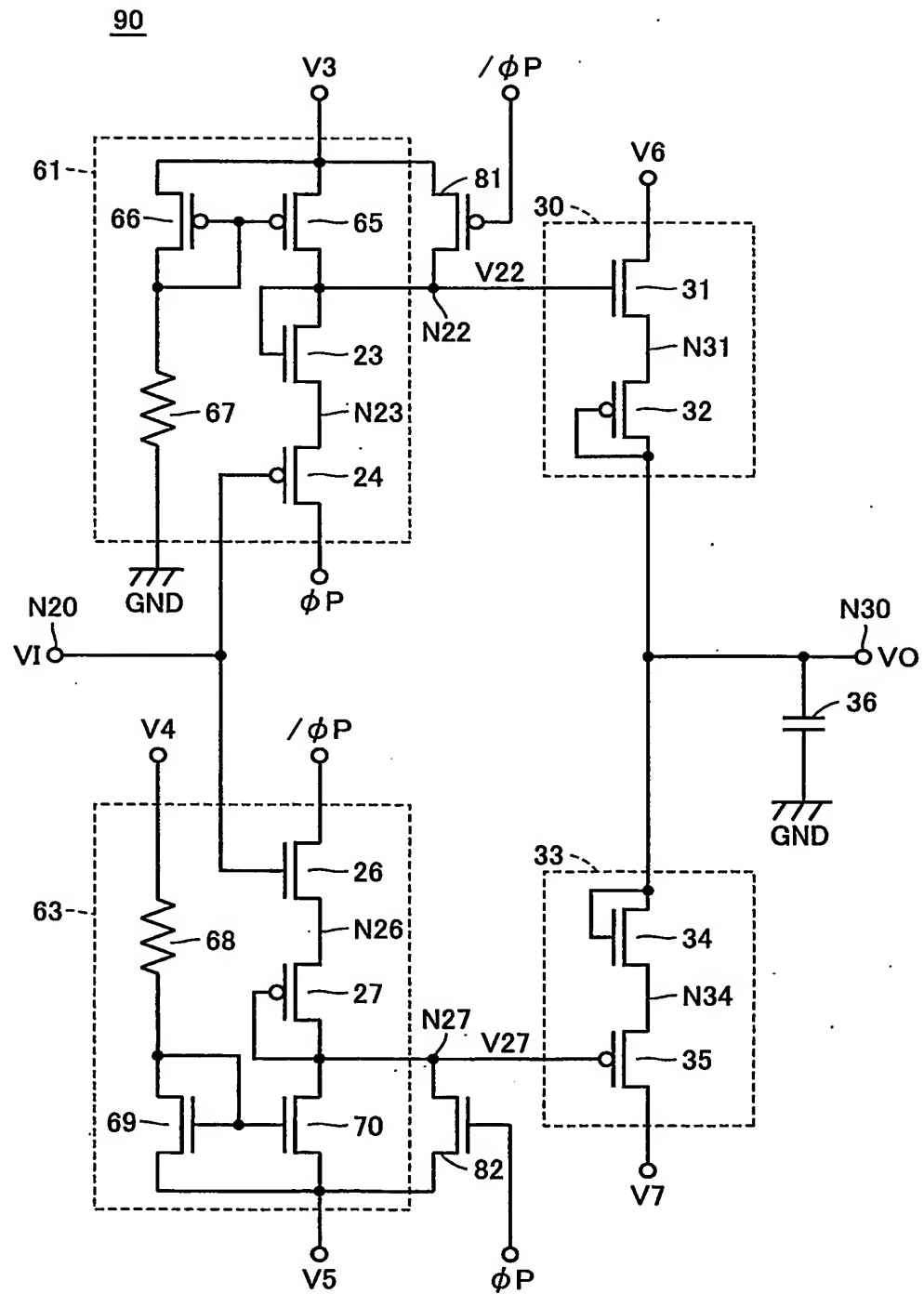


FIG.25

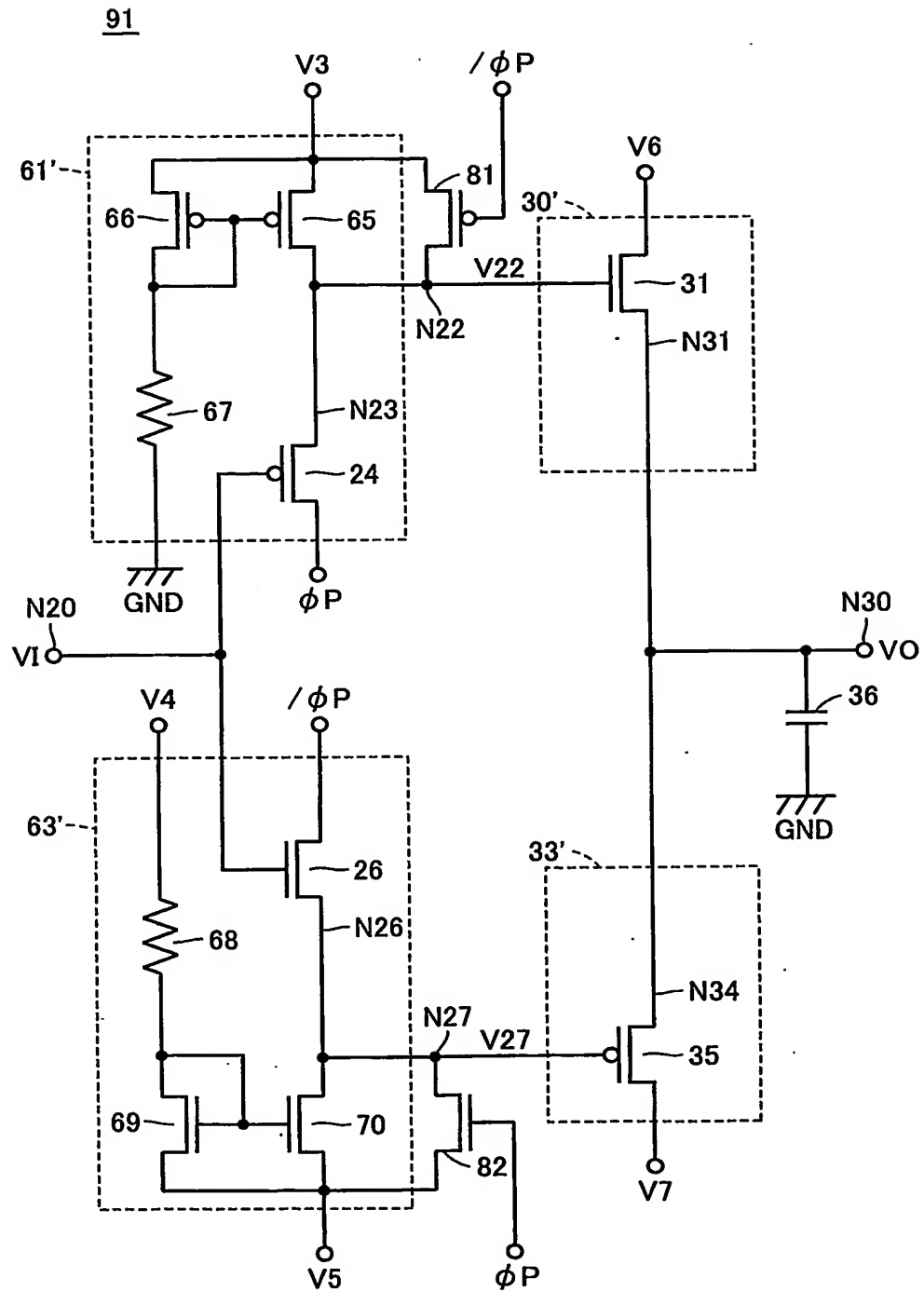


FIG.26

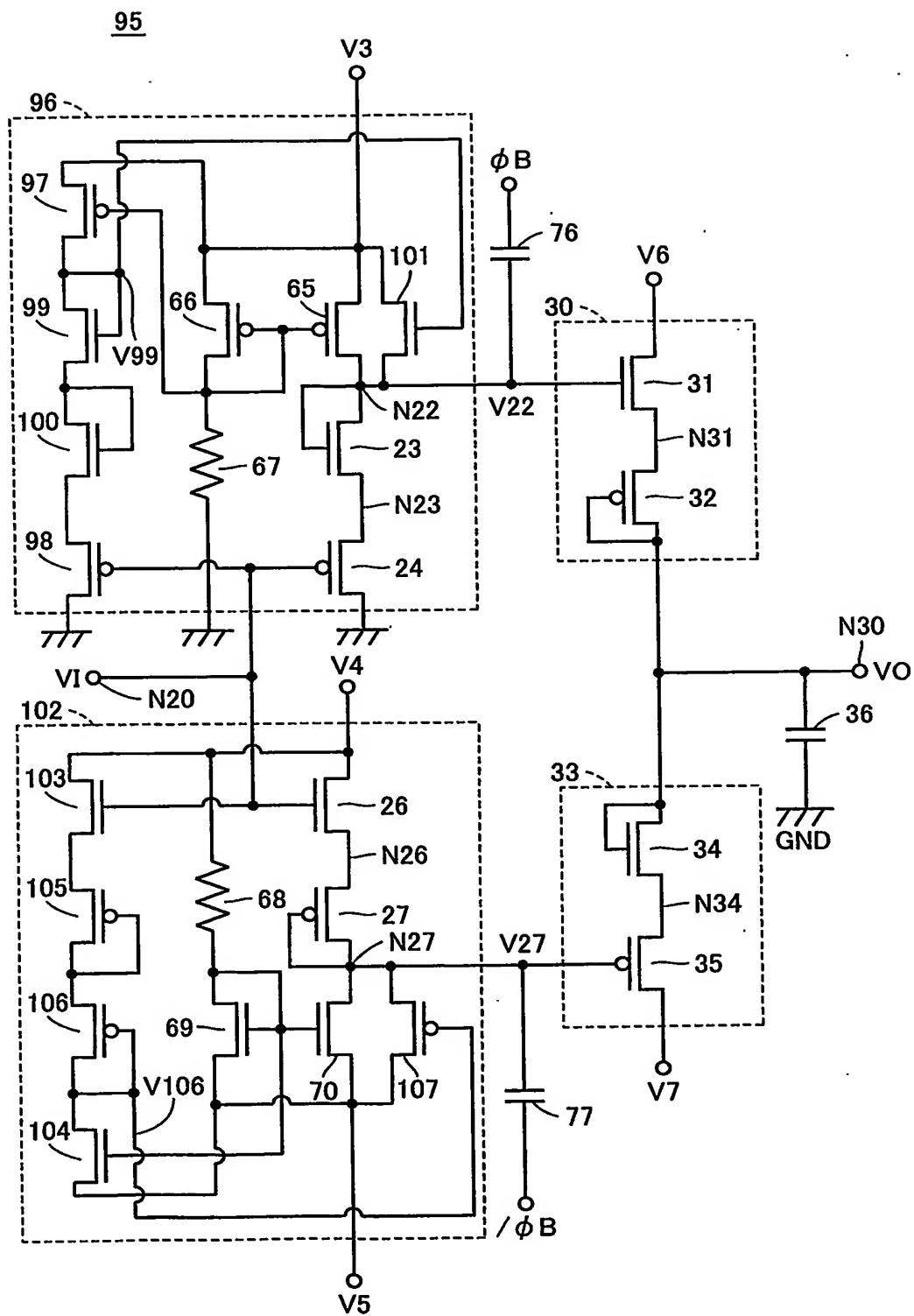


FIG.27

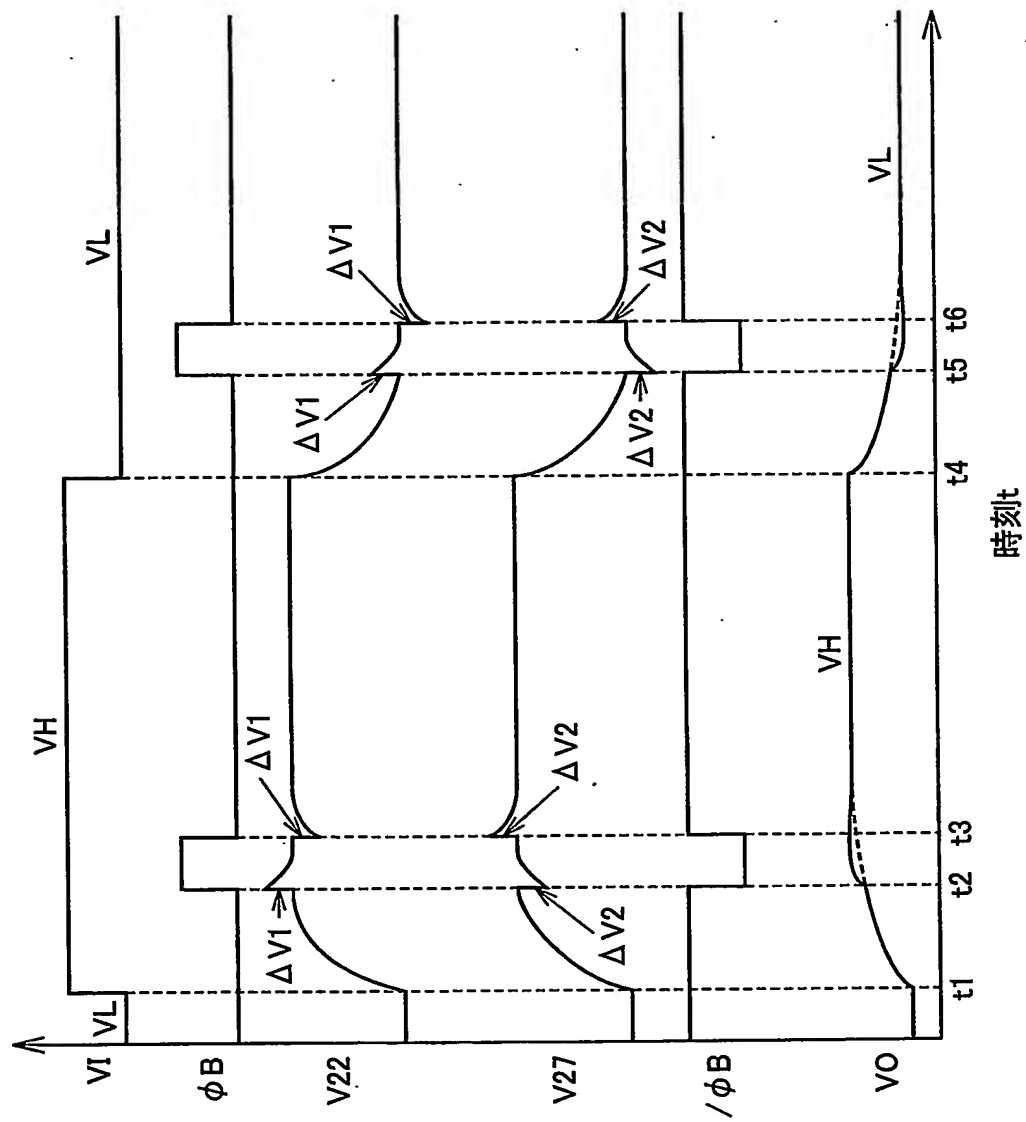


FIG.28

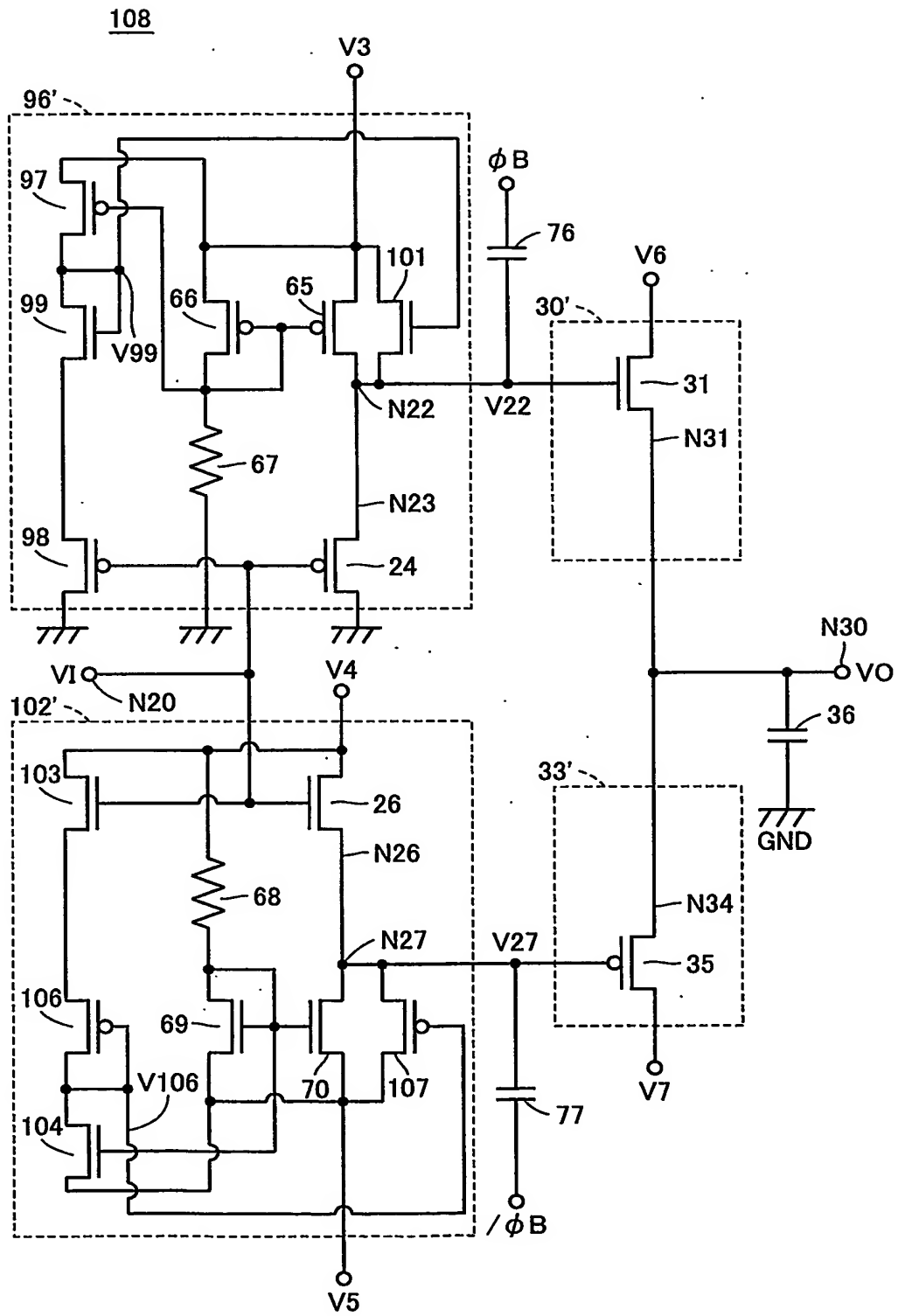


FIG.29

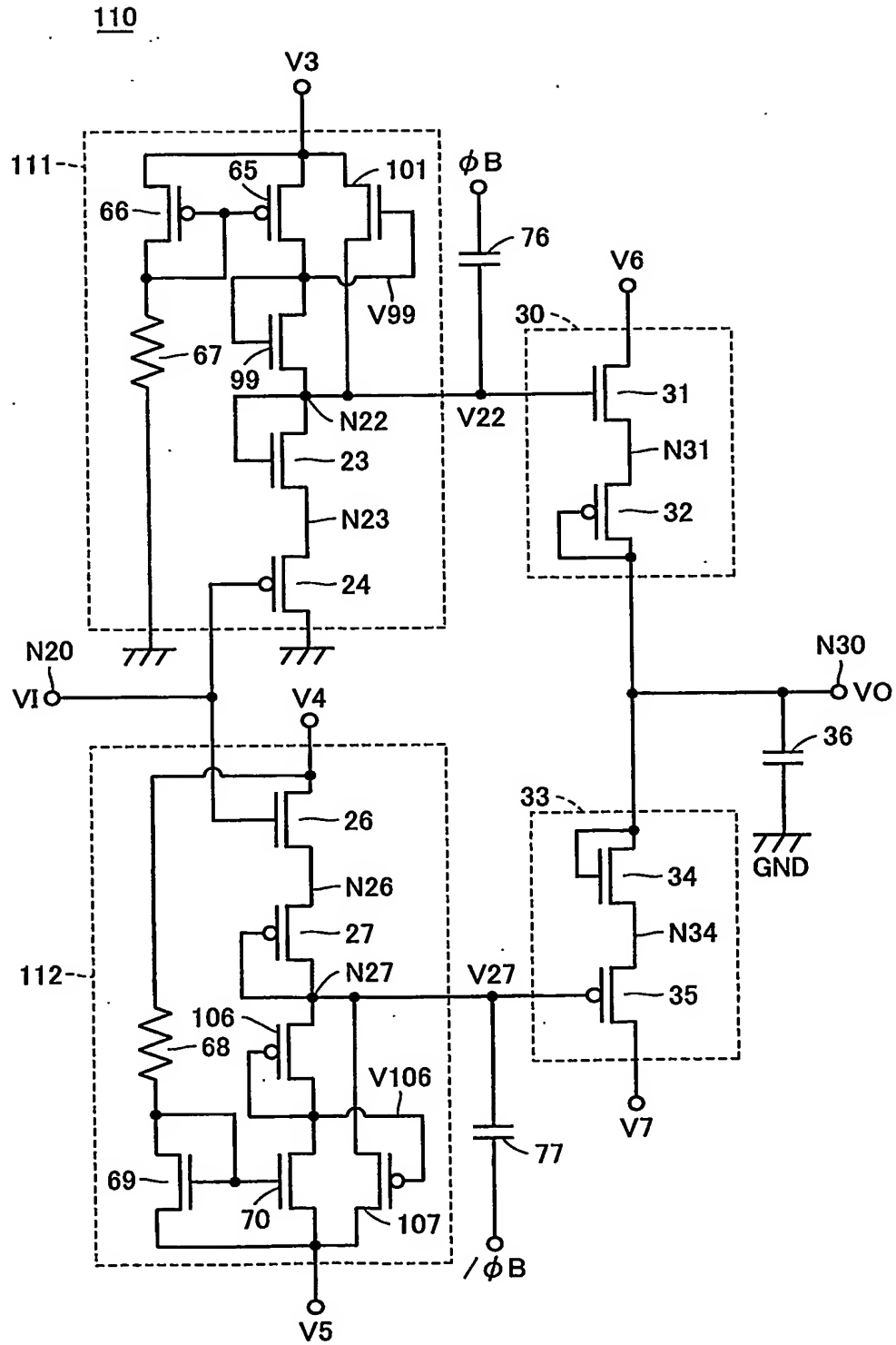


FIG.30

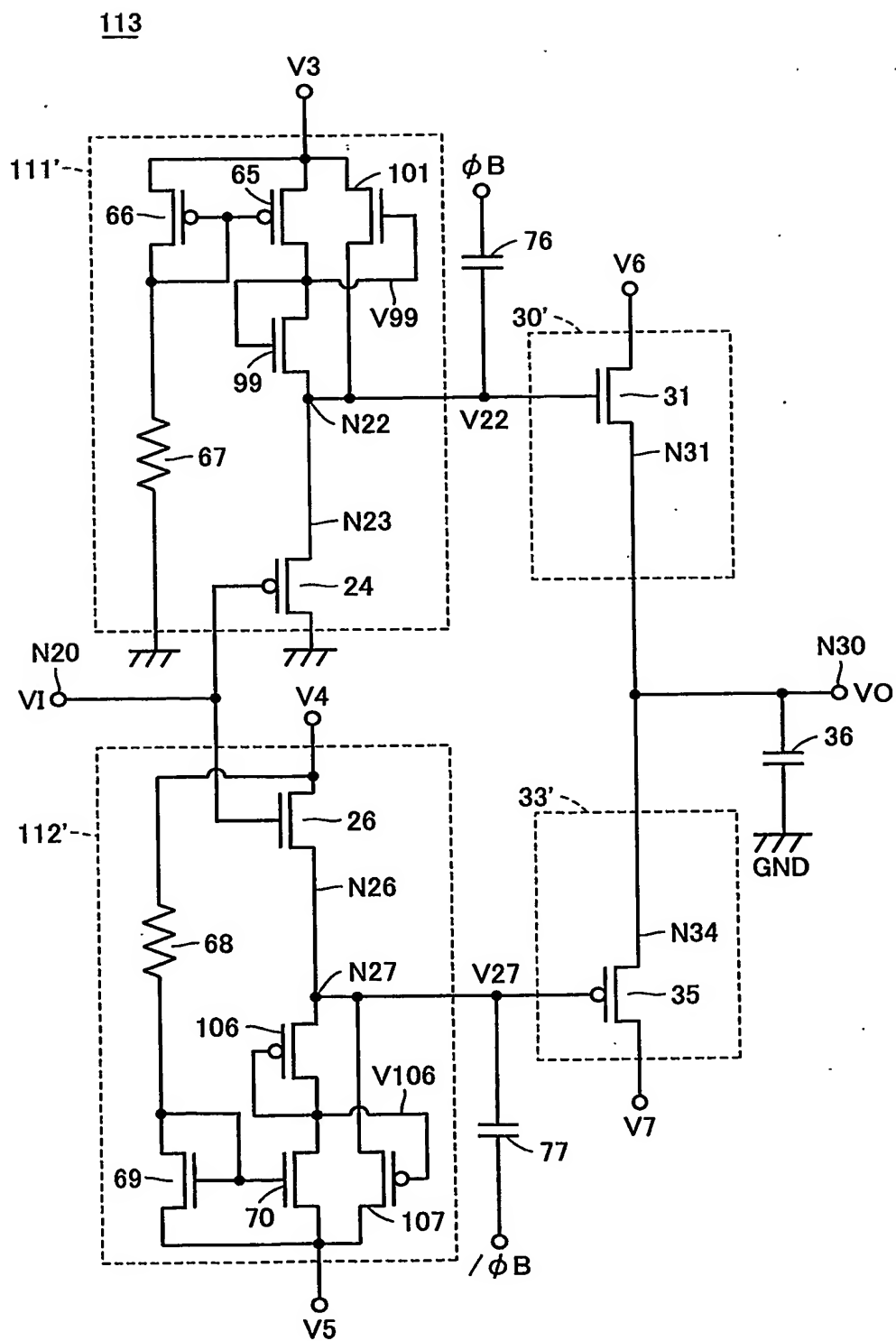
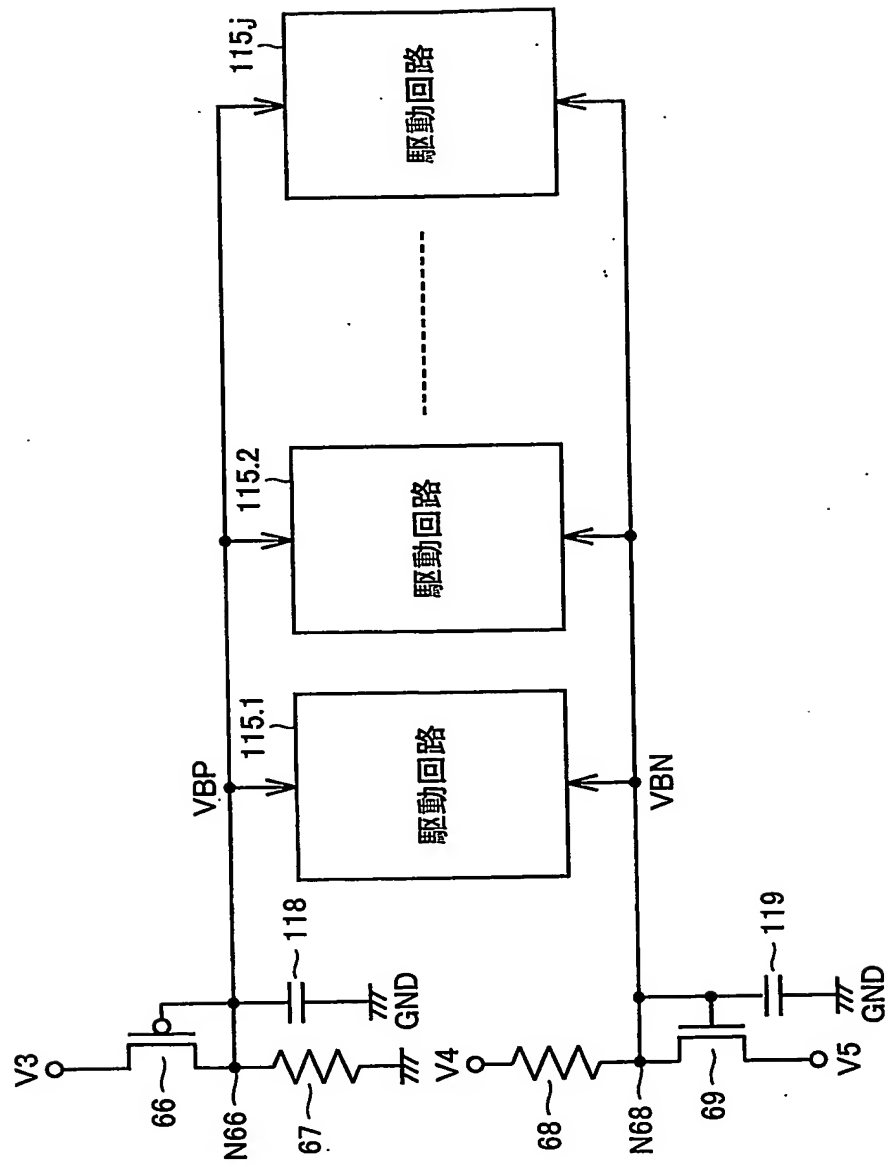


FIG.31





115.1

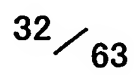


FIG.33

120

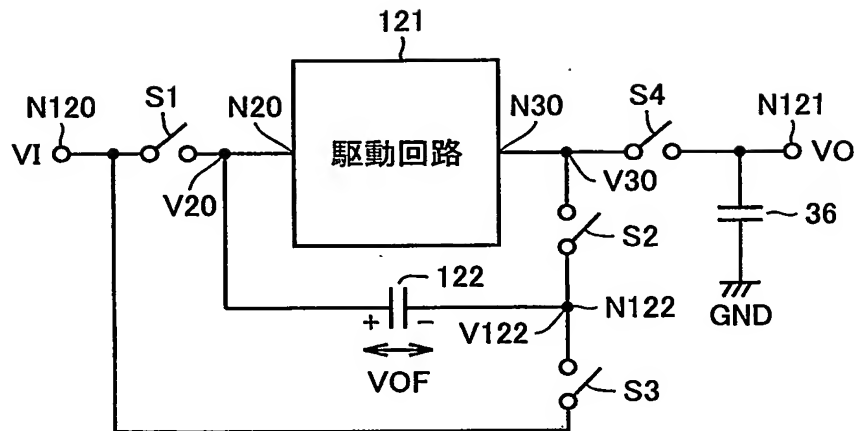


FIG.34

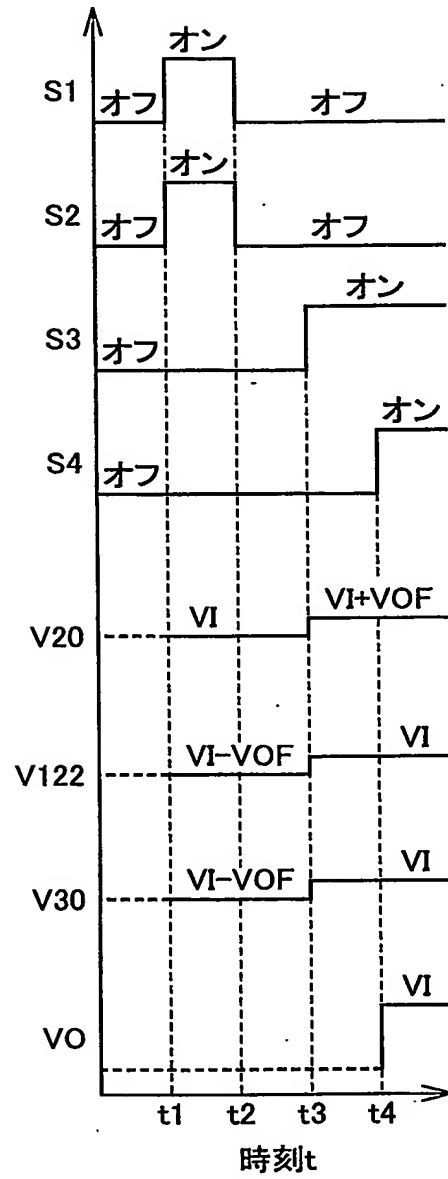


FIG.35

125

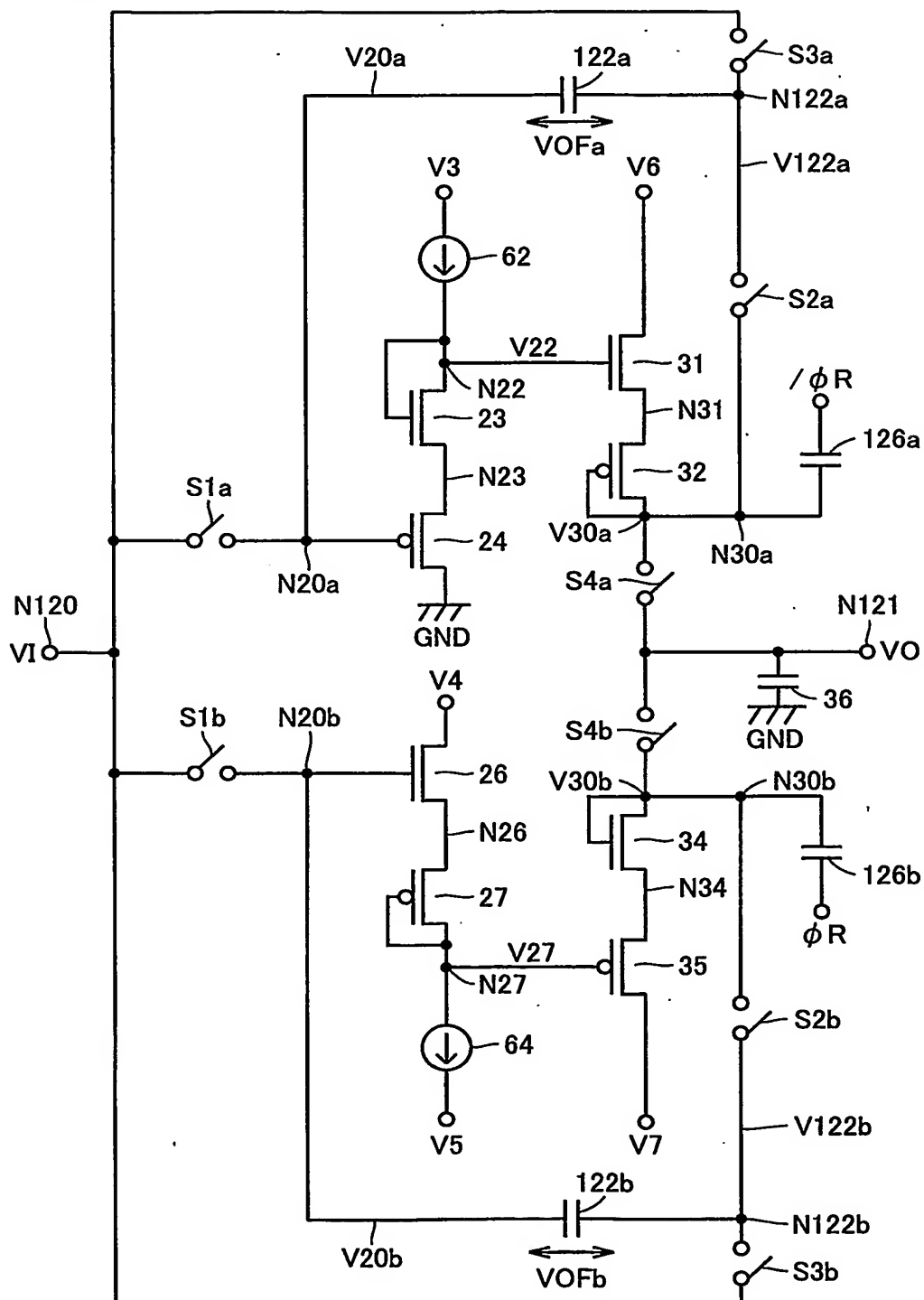


FIG.36

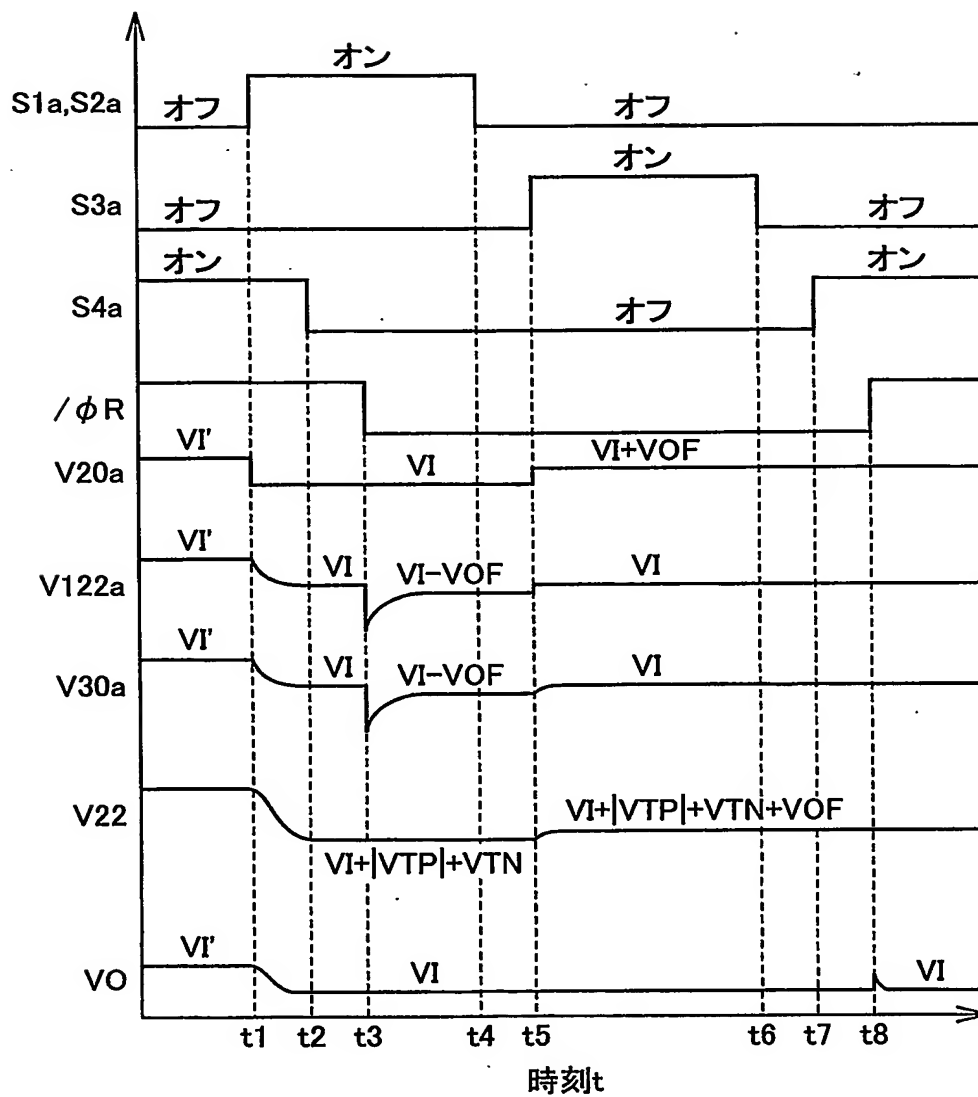


FIG.37

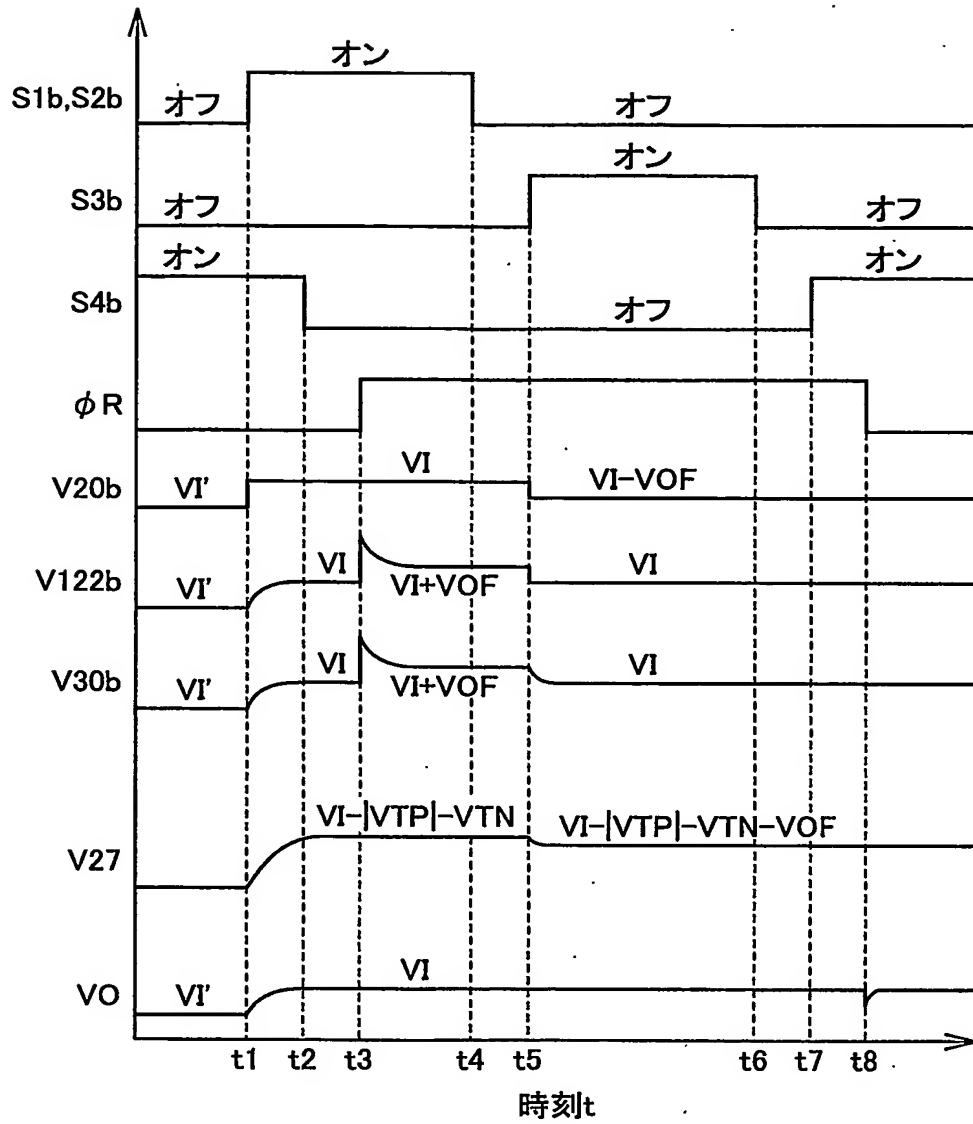
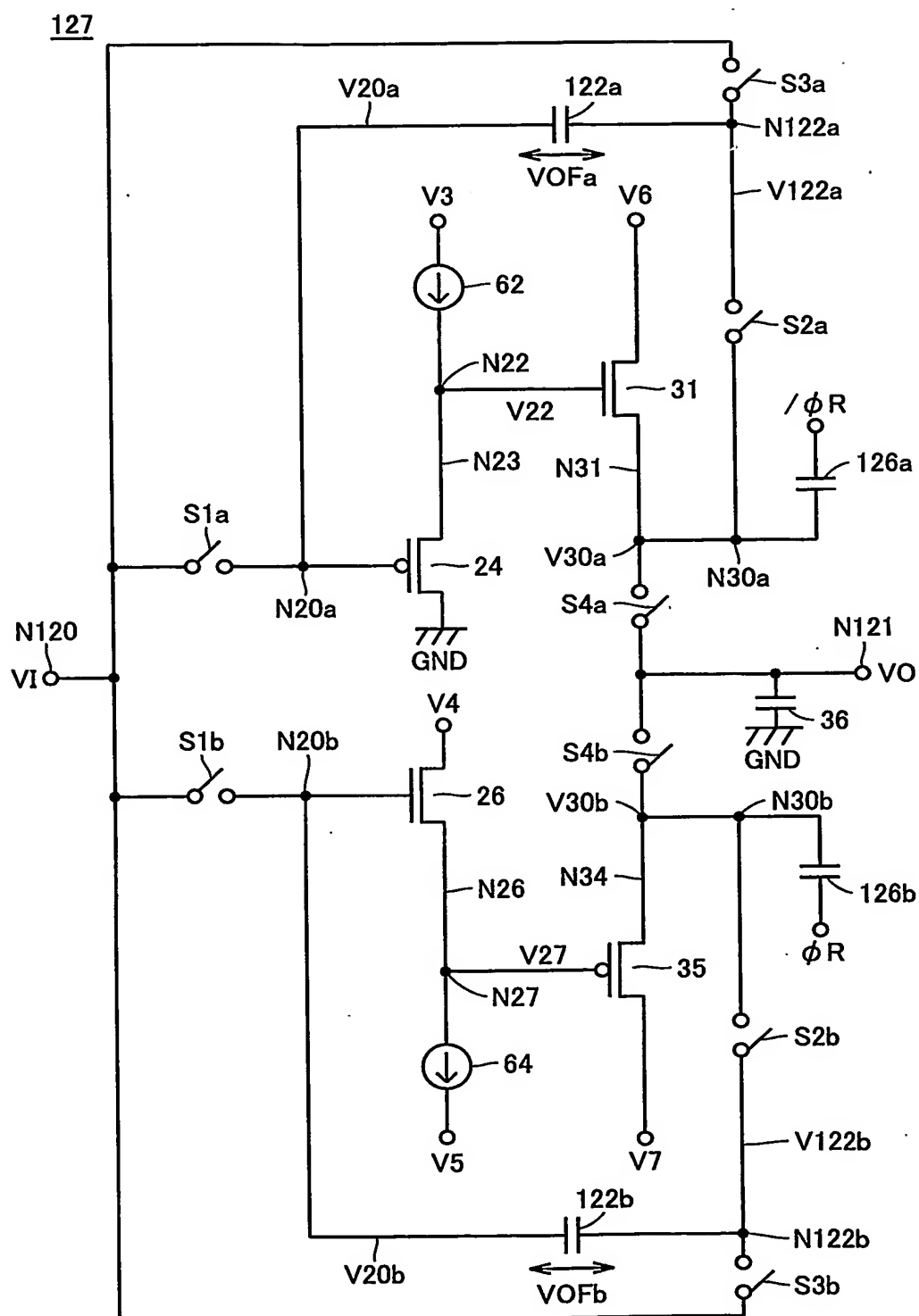
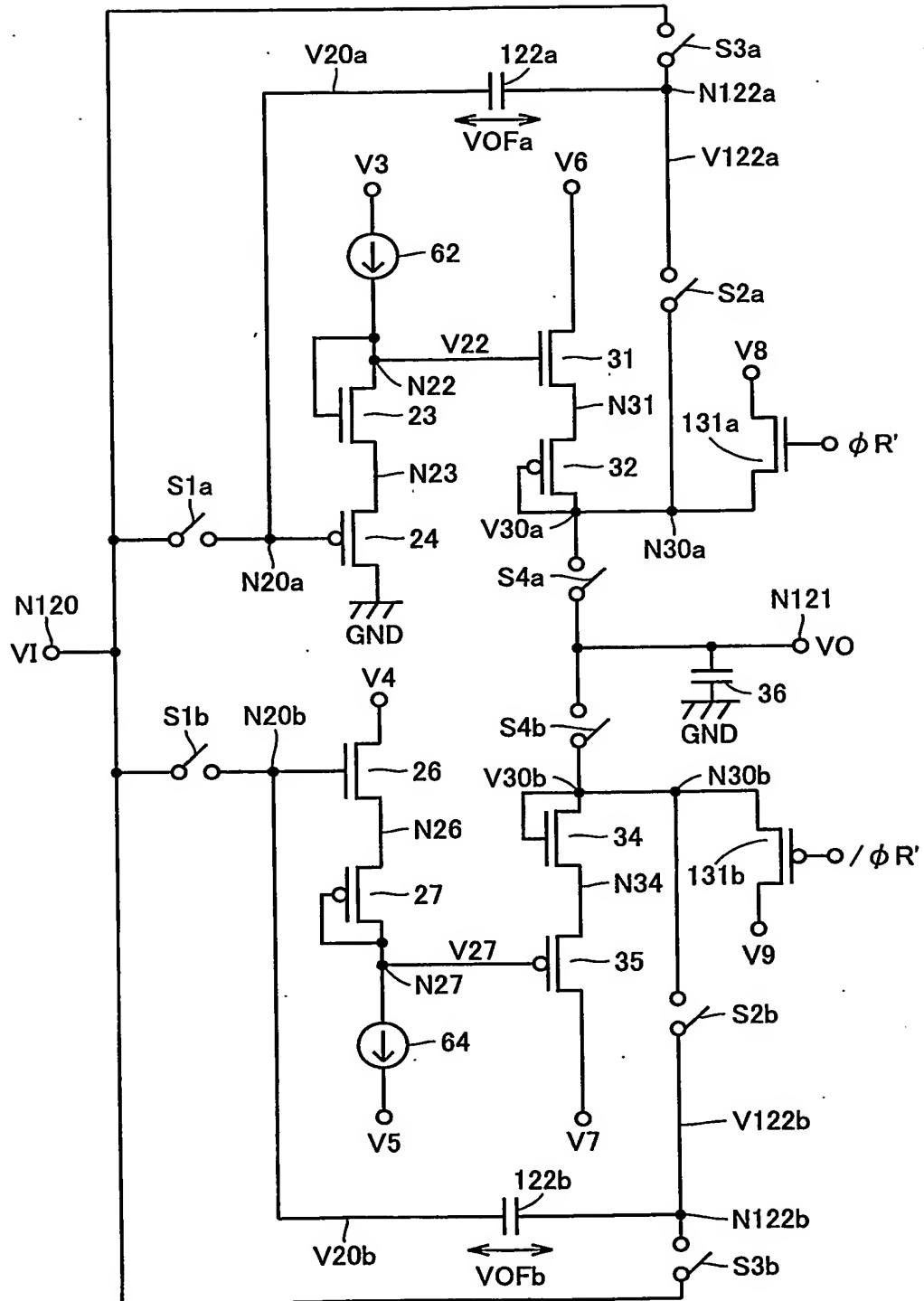


FIG.38



130





132

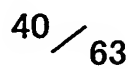


FIG.41

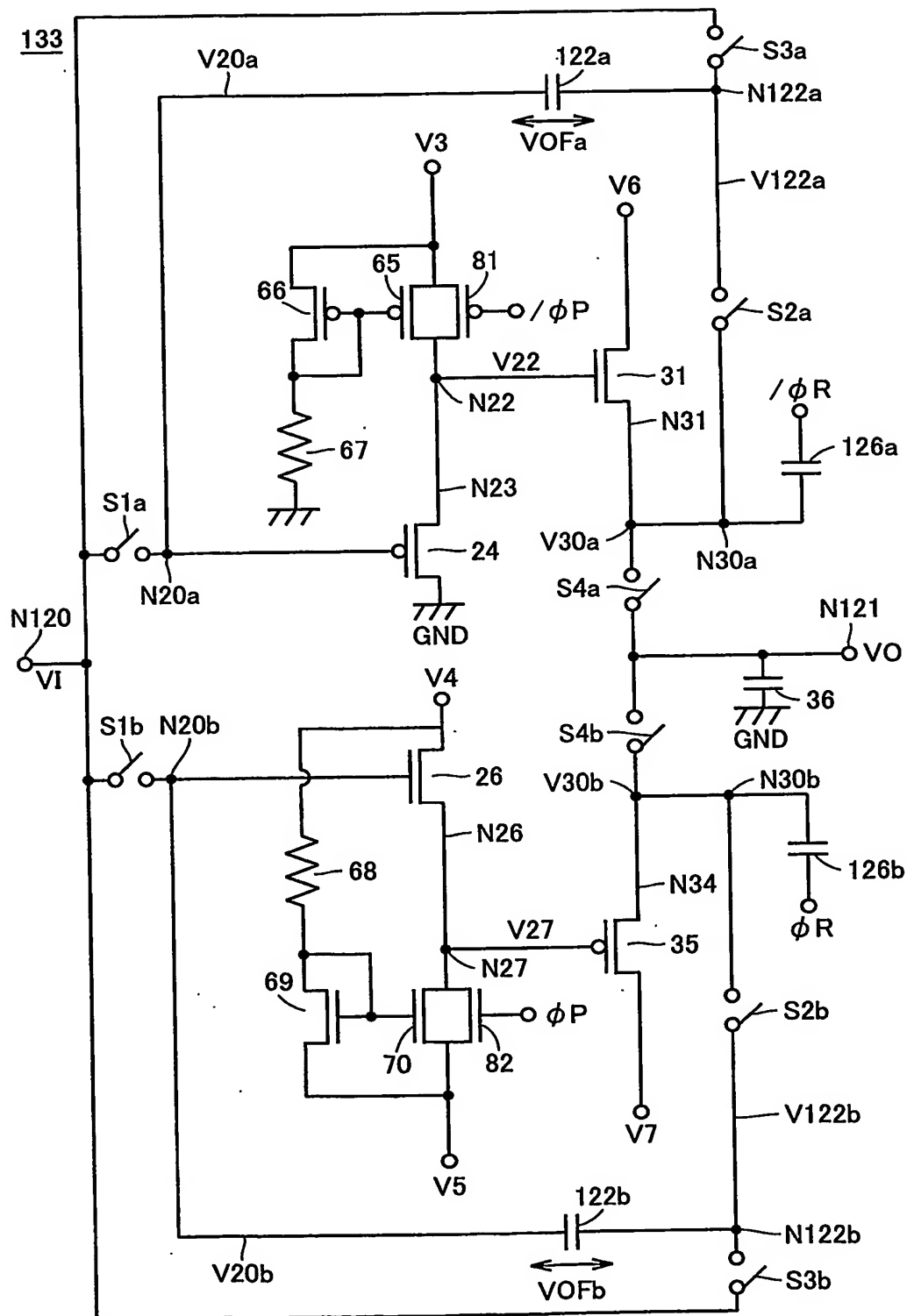


FIG.42

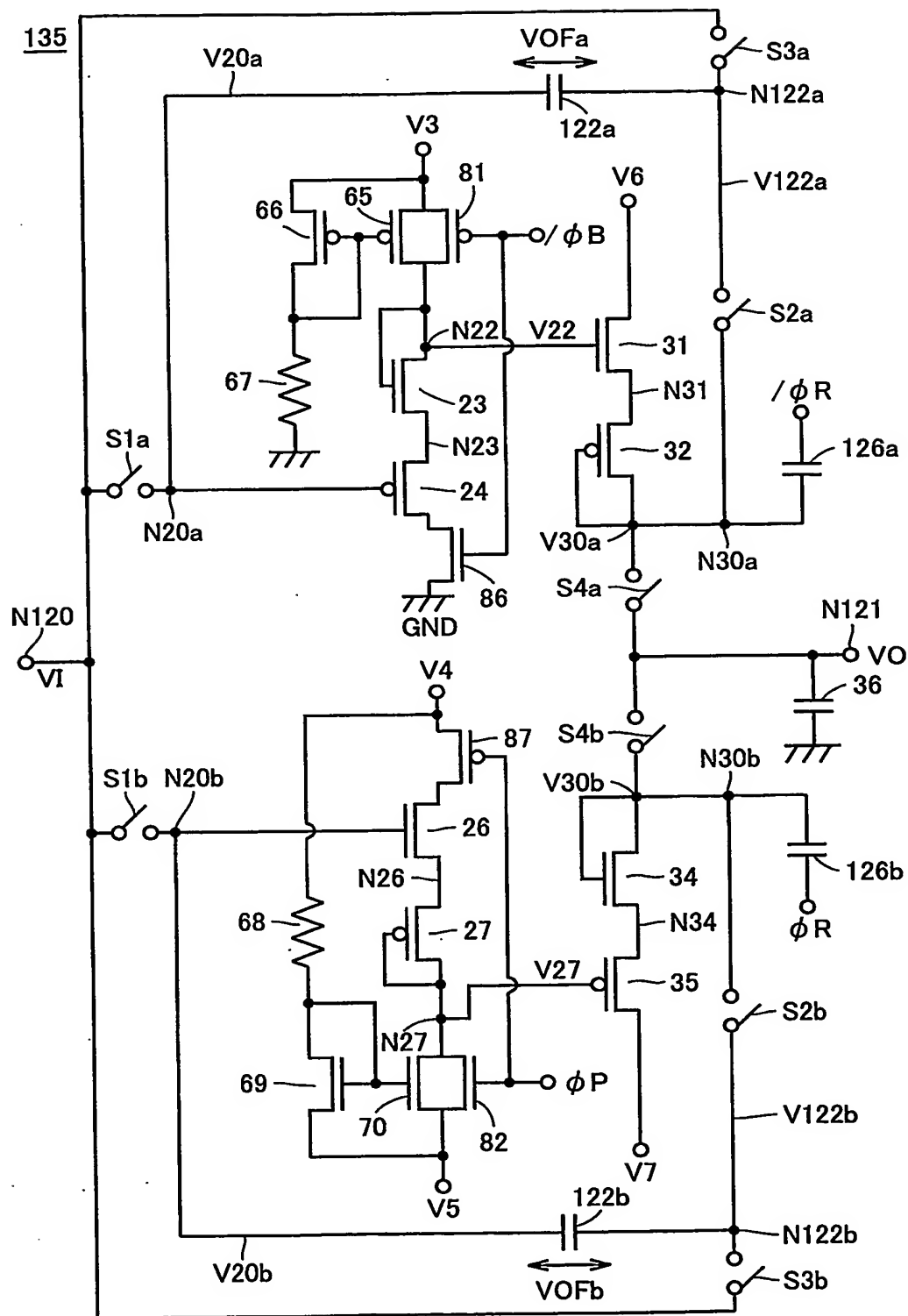


FIG.43

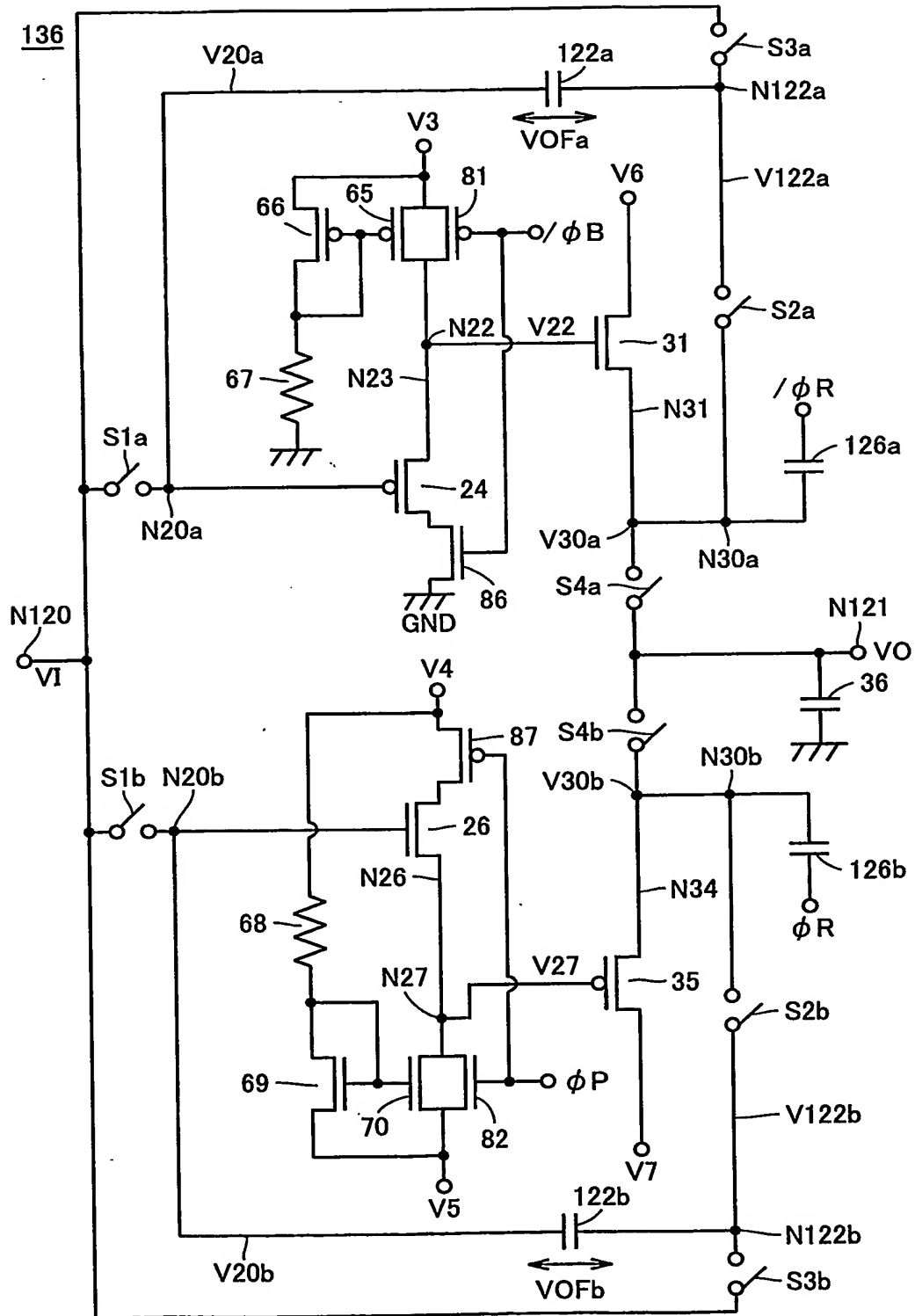


FIG.44

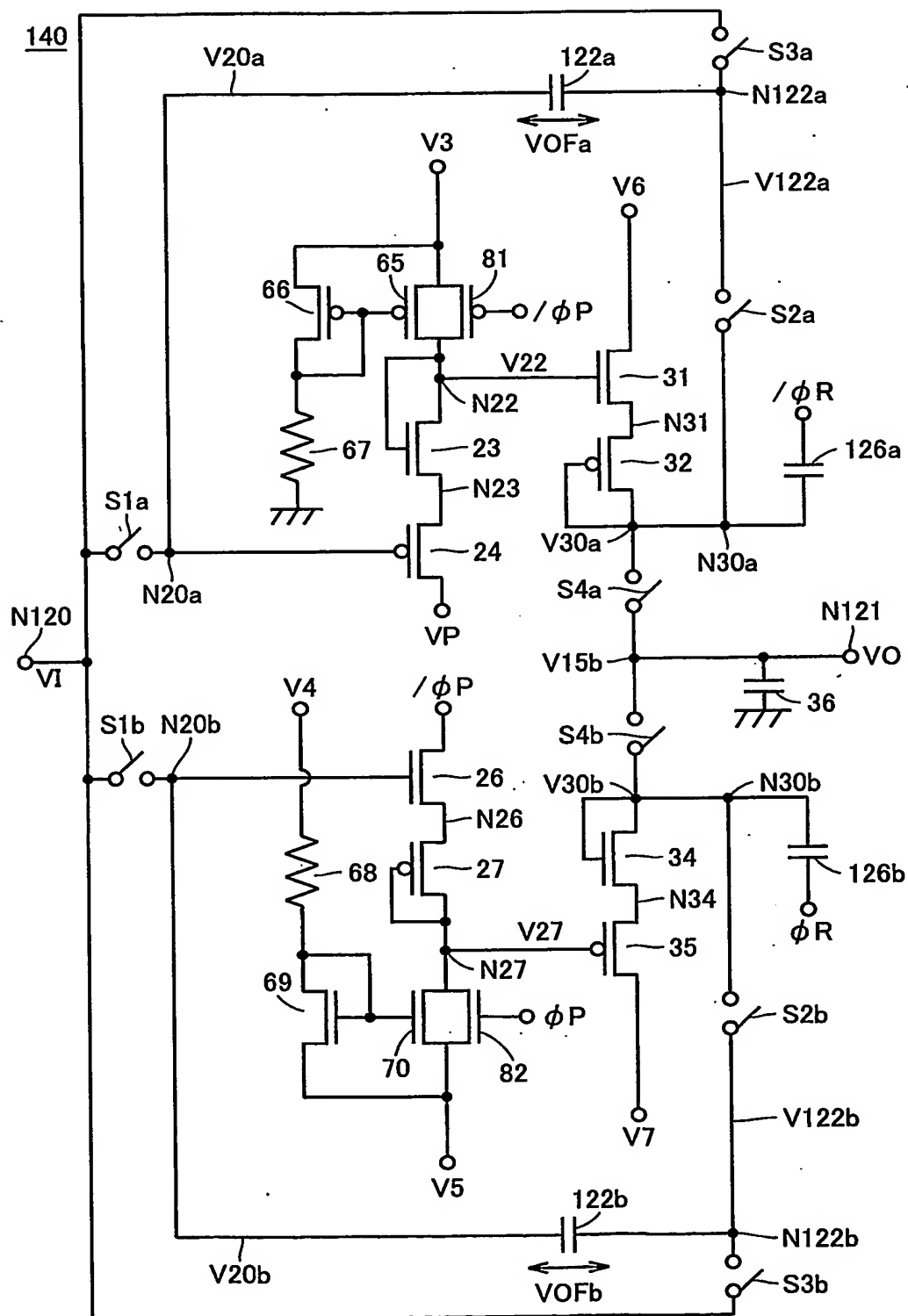


FIG.45

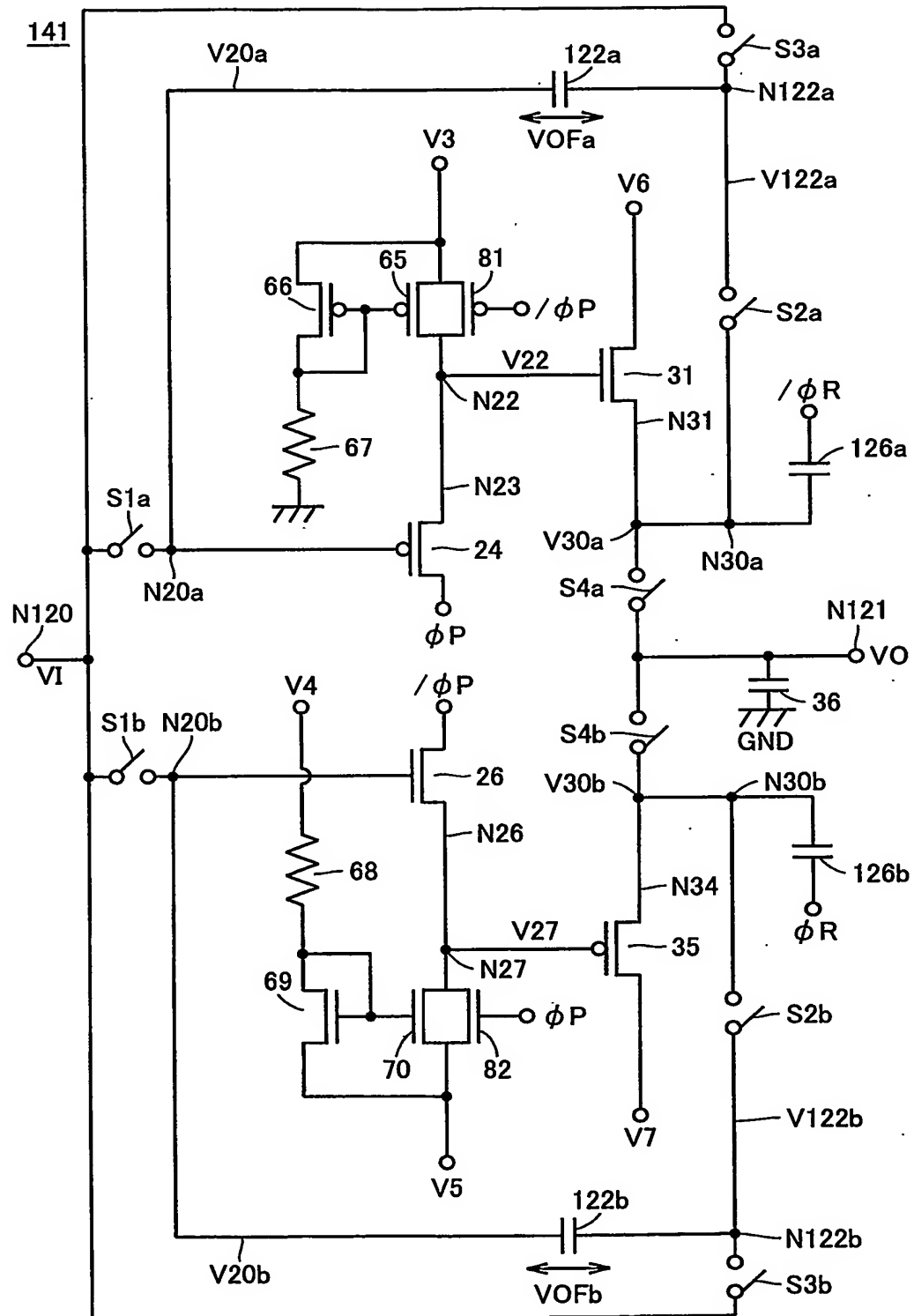


FIG.46

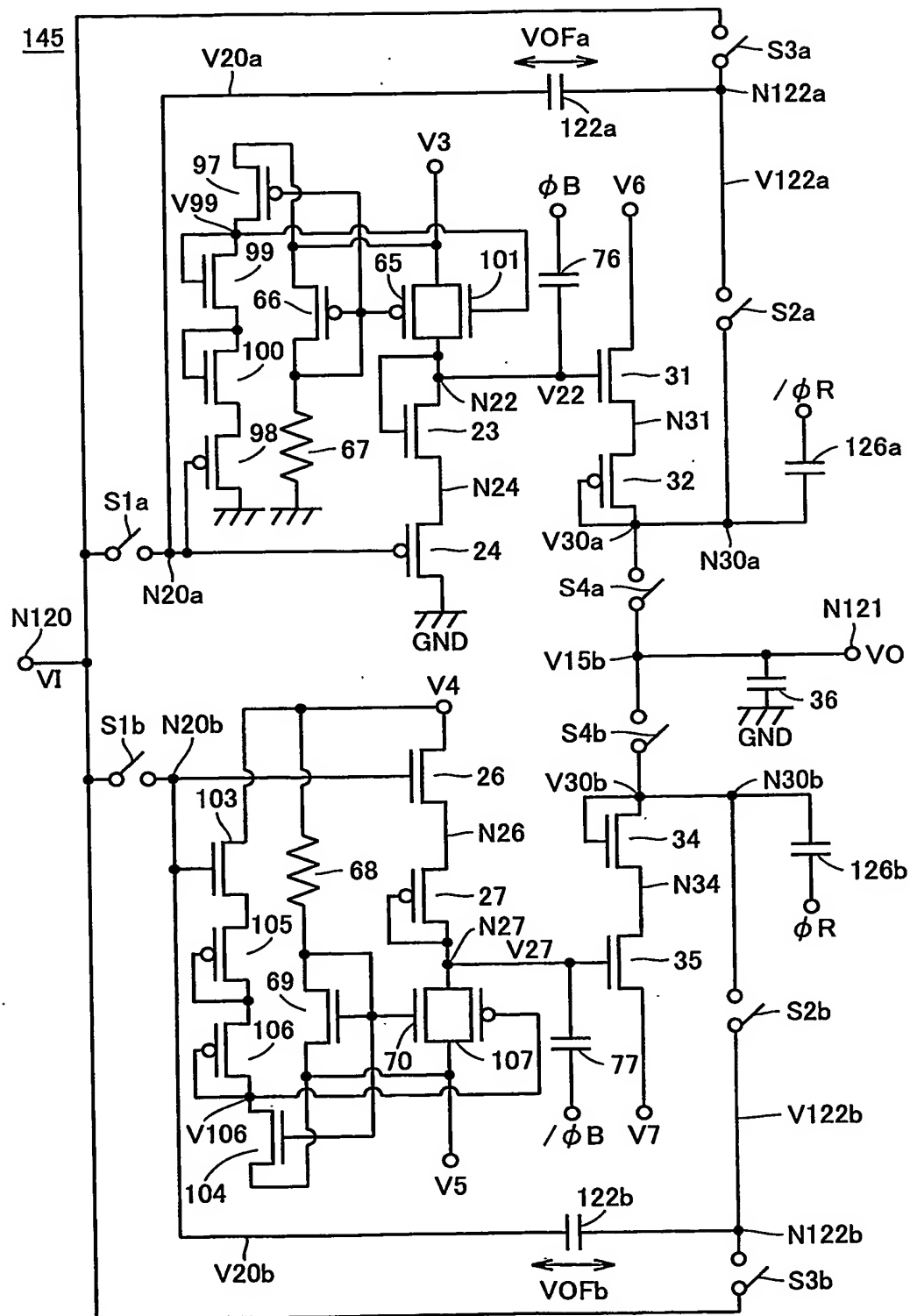


FIG.47

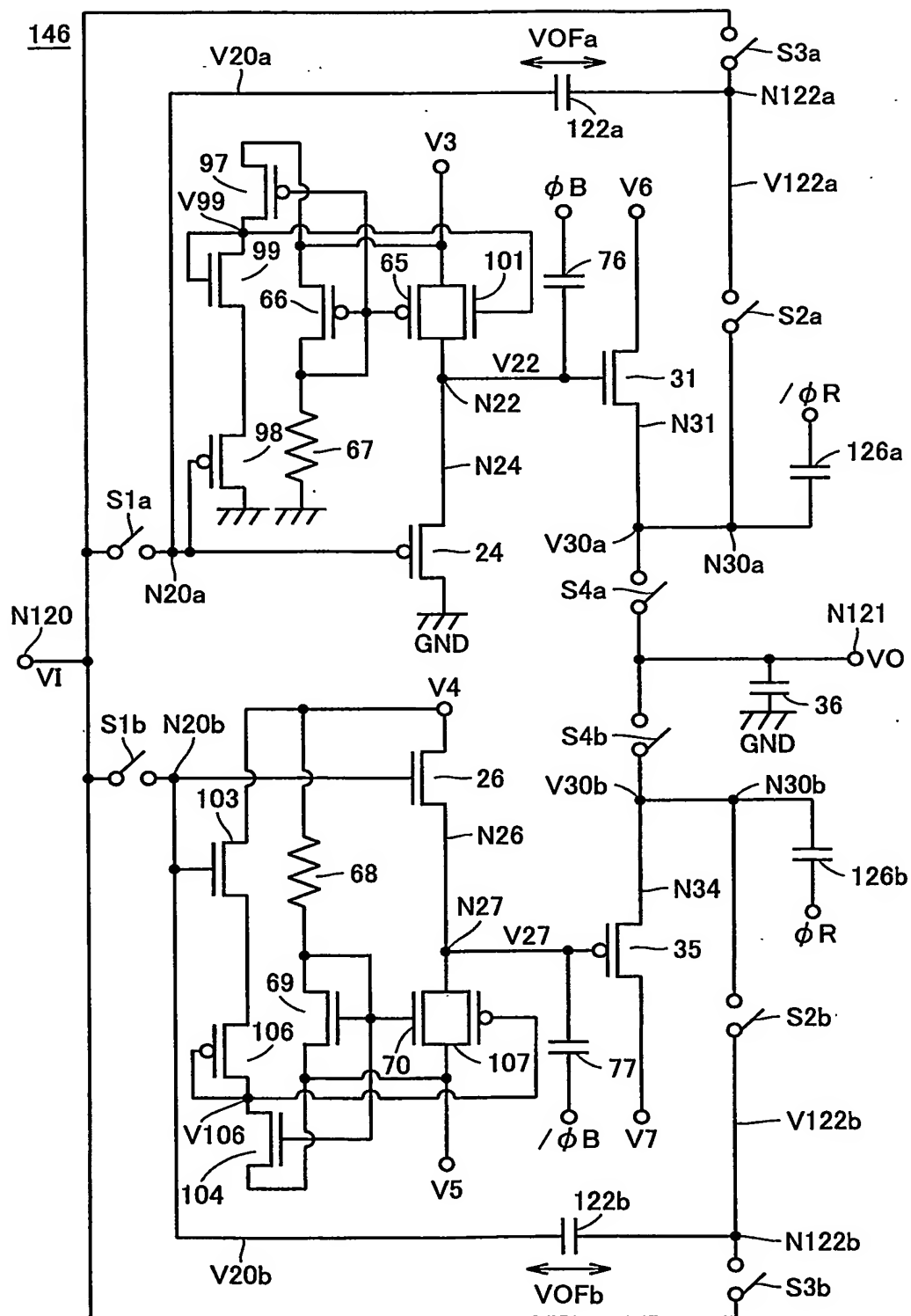




FIG.48

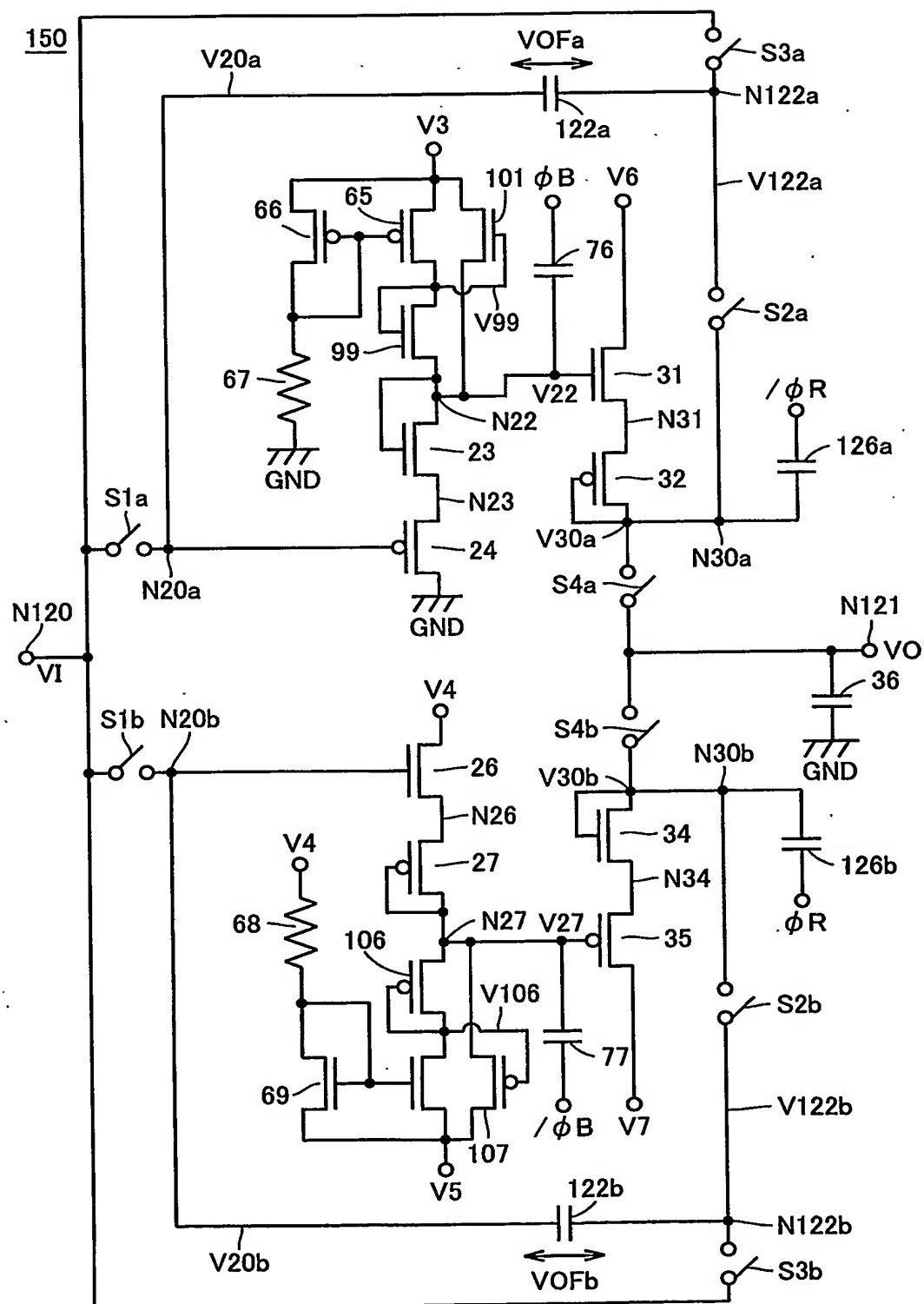
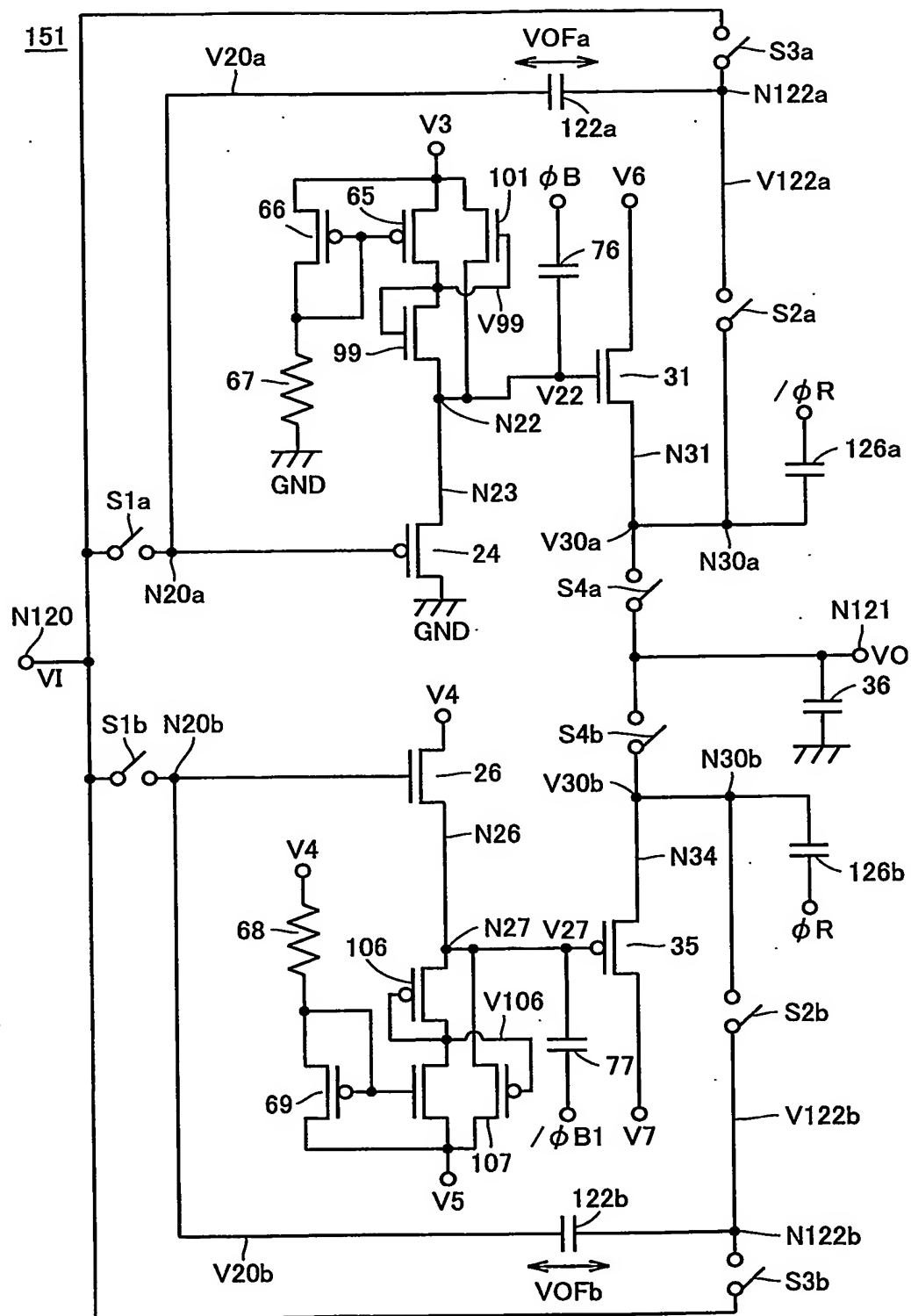


FIG.49



155

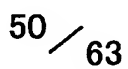


FIG.51

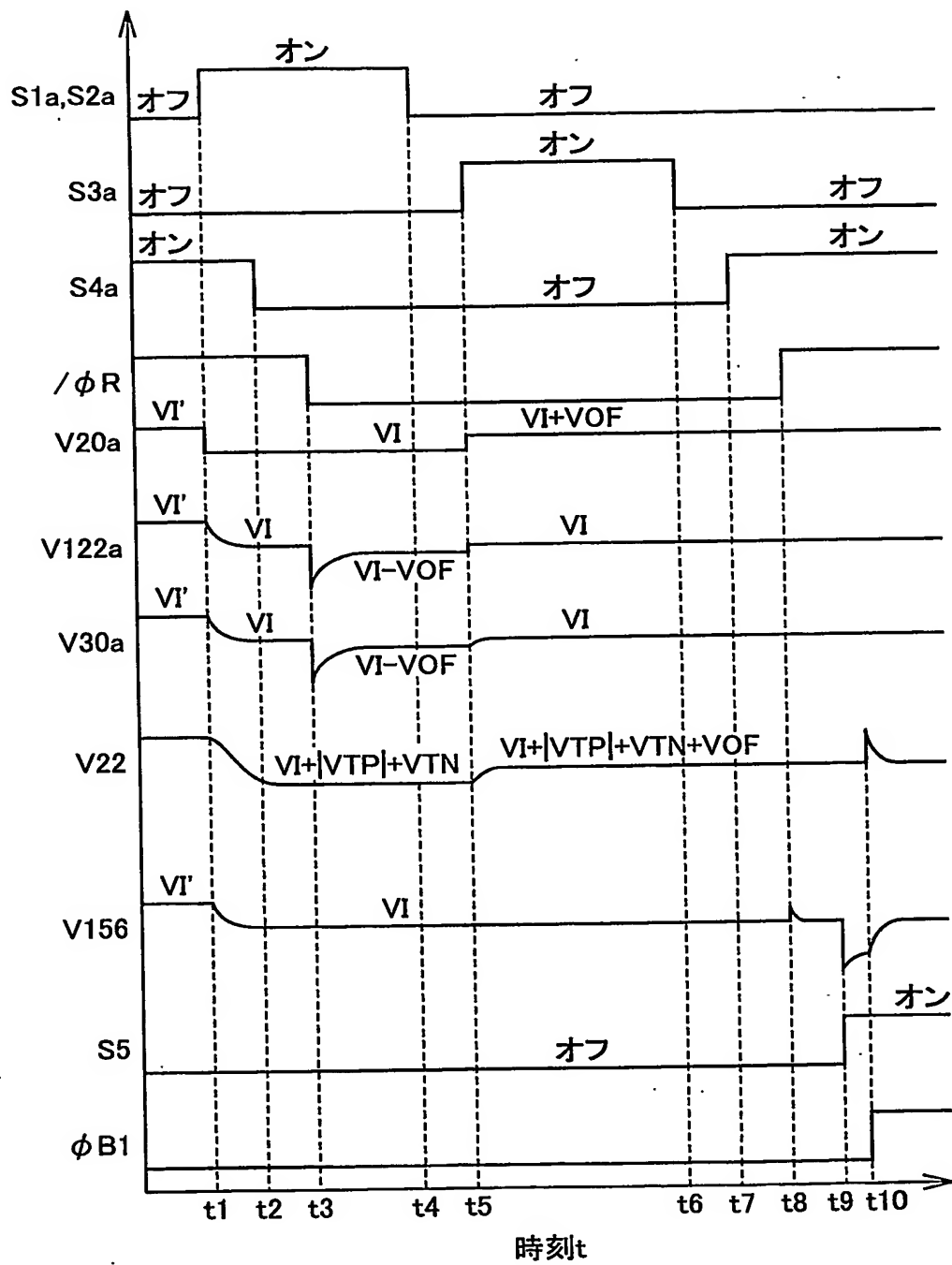


FIG.52

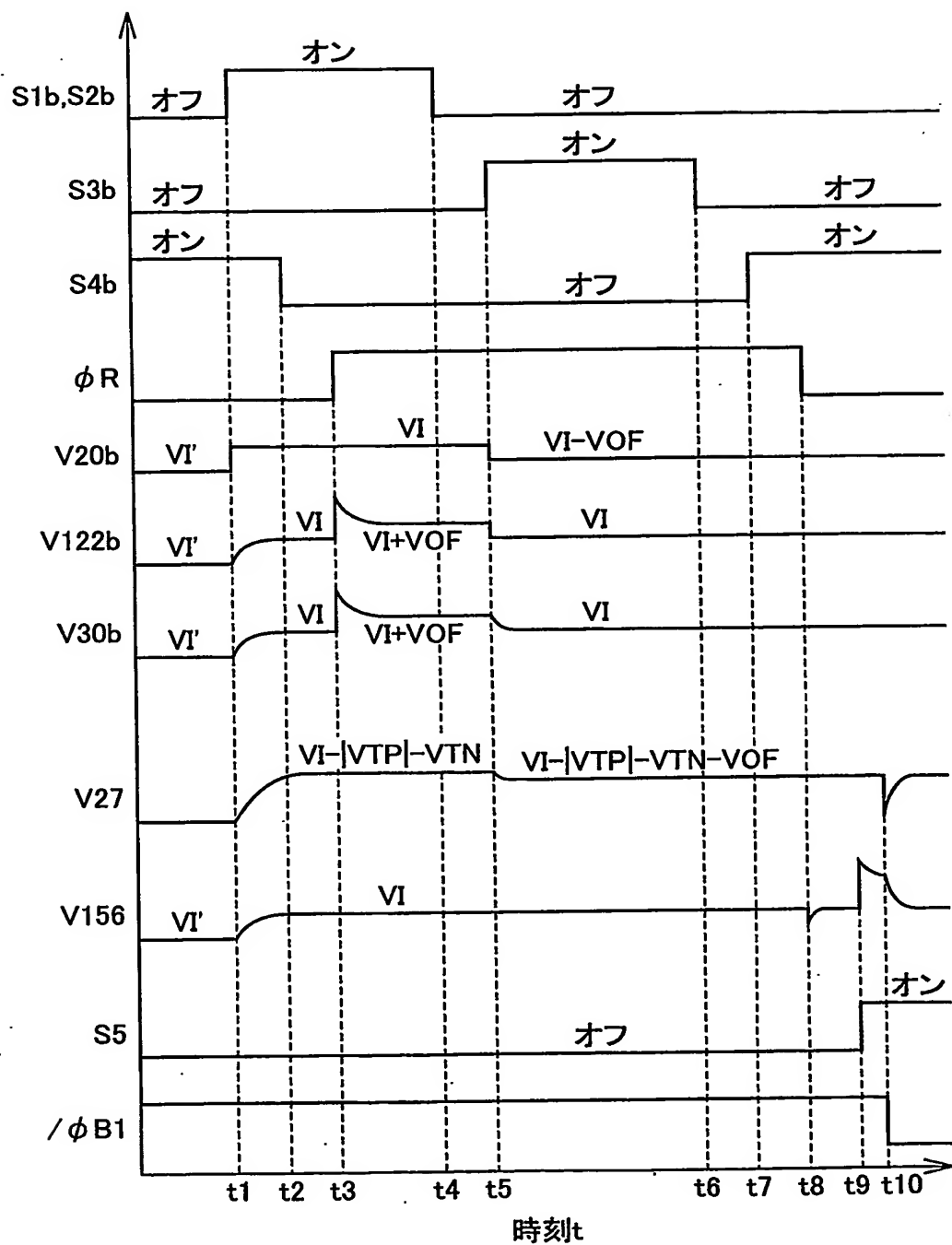
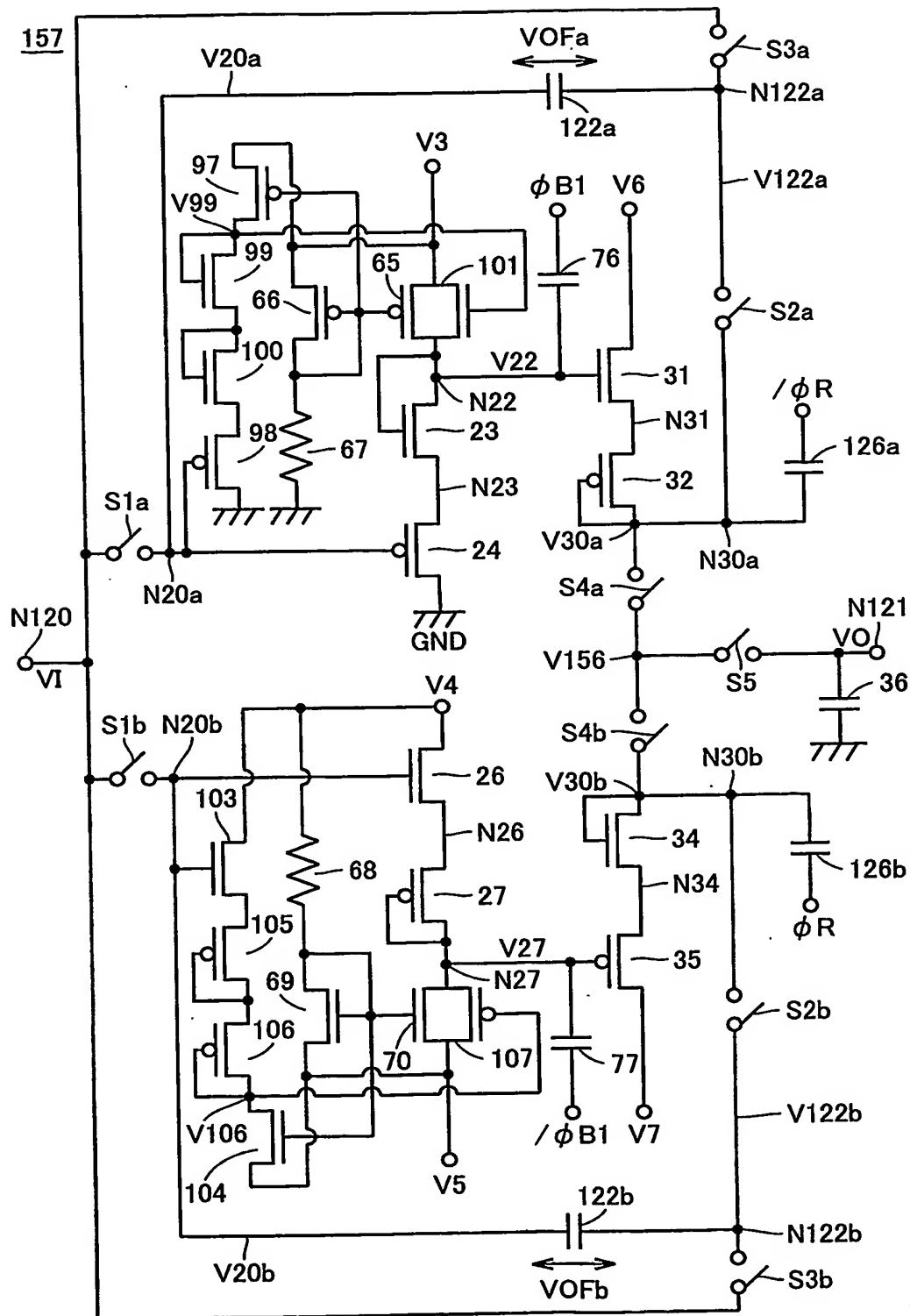


FIG.53



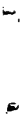


FIG.55

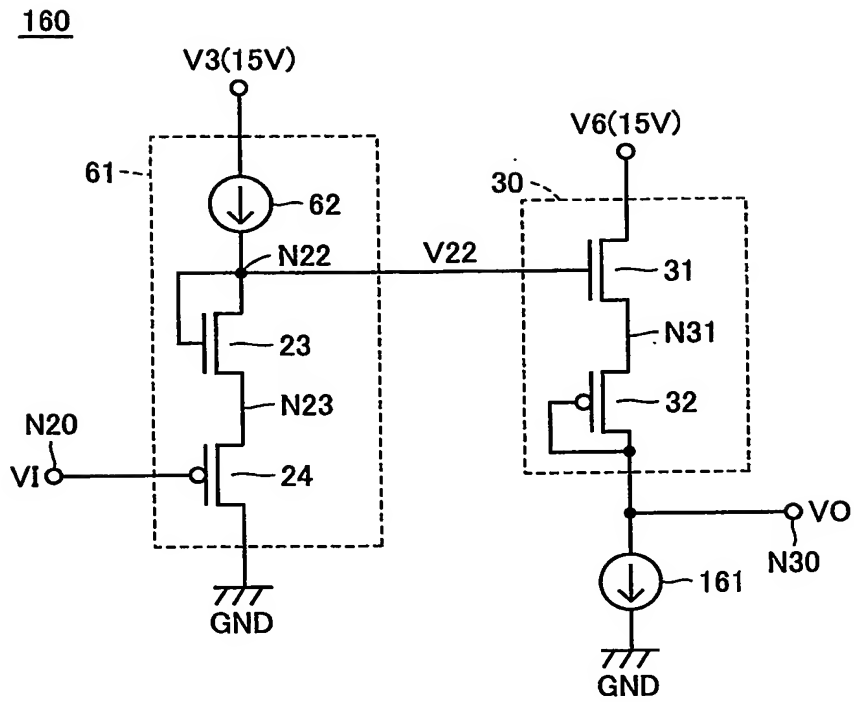


FIG.56

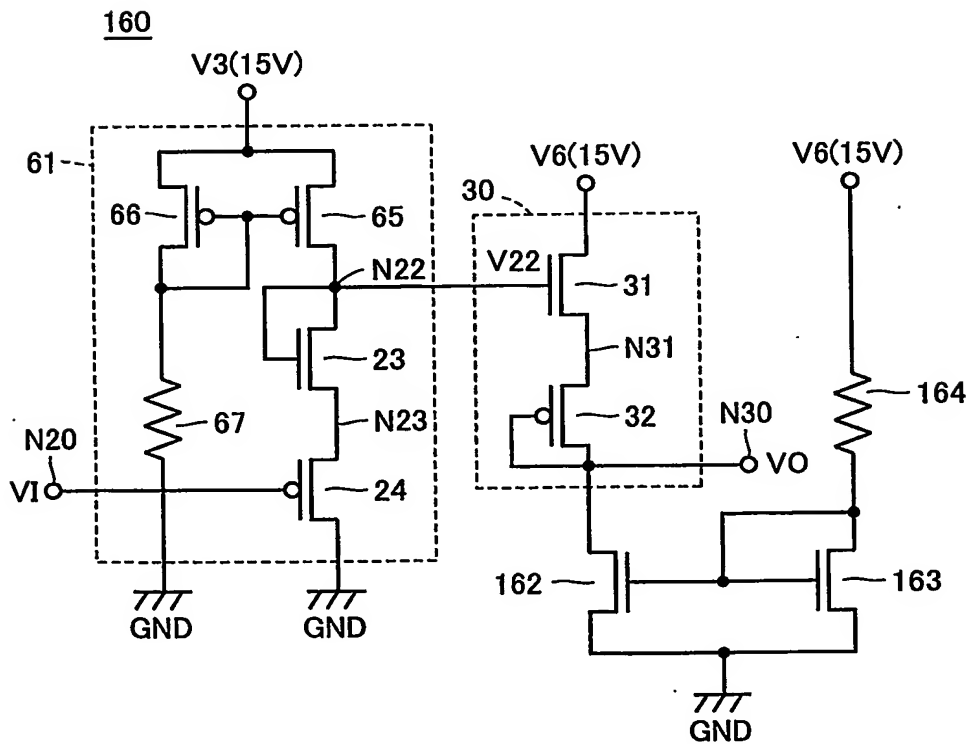




FIG.57

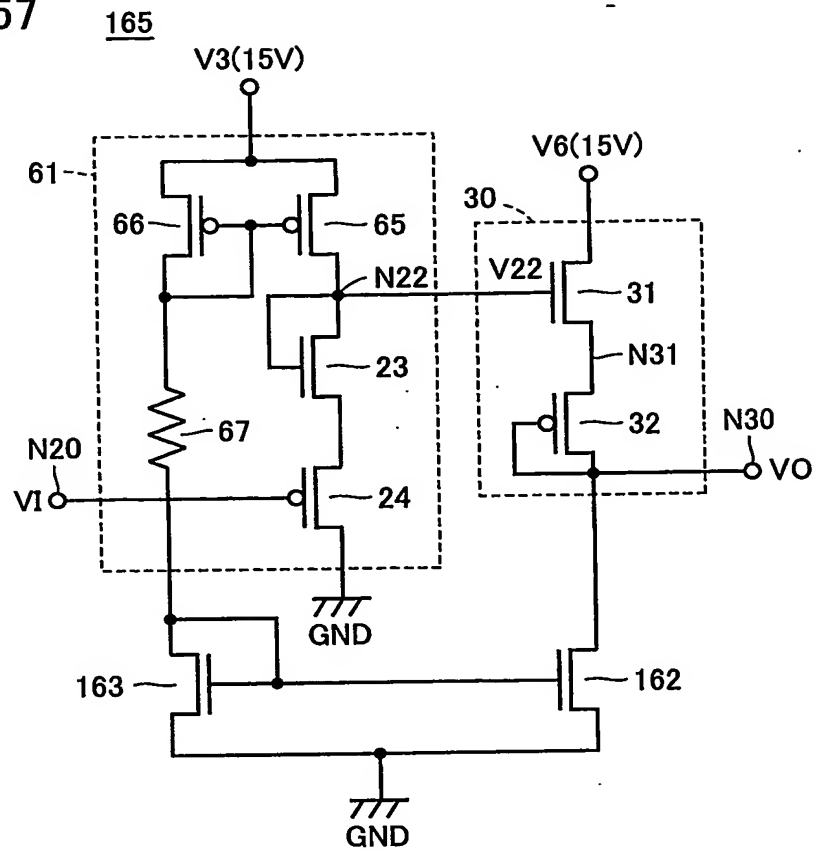


FIG.58

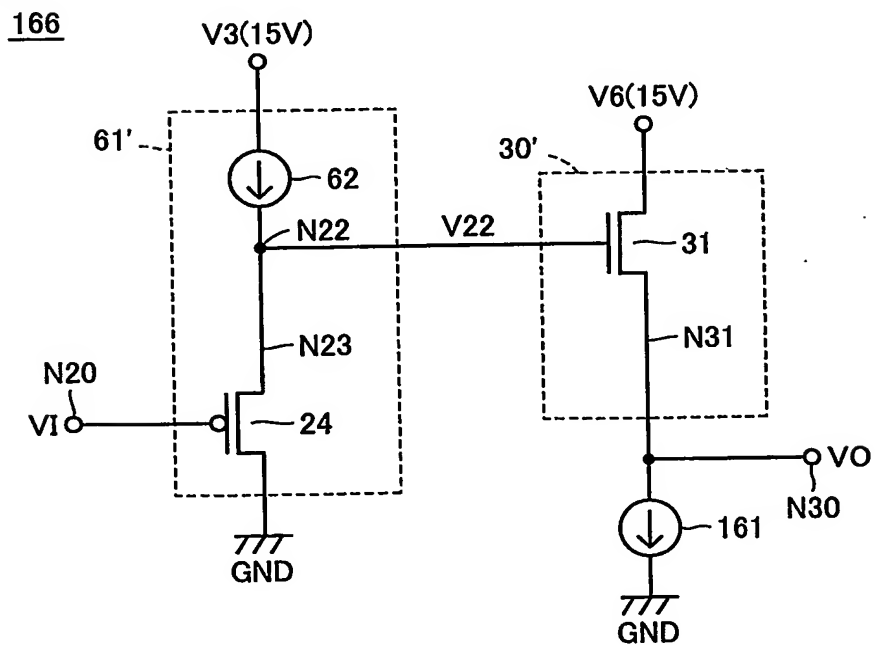


FIG.59

170

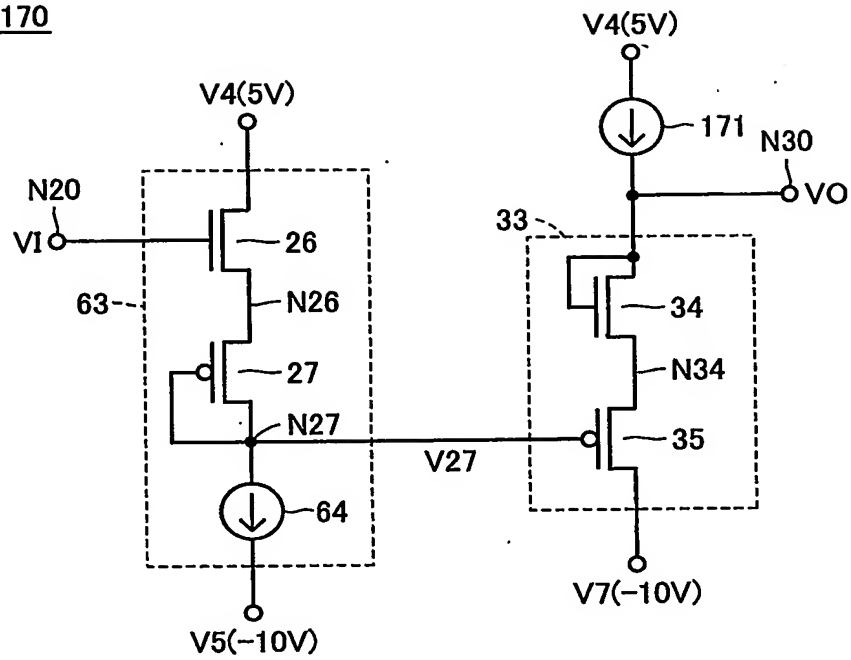


FIG.60

172

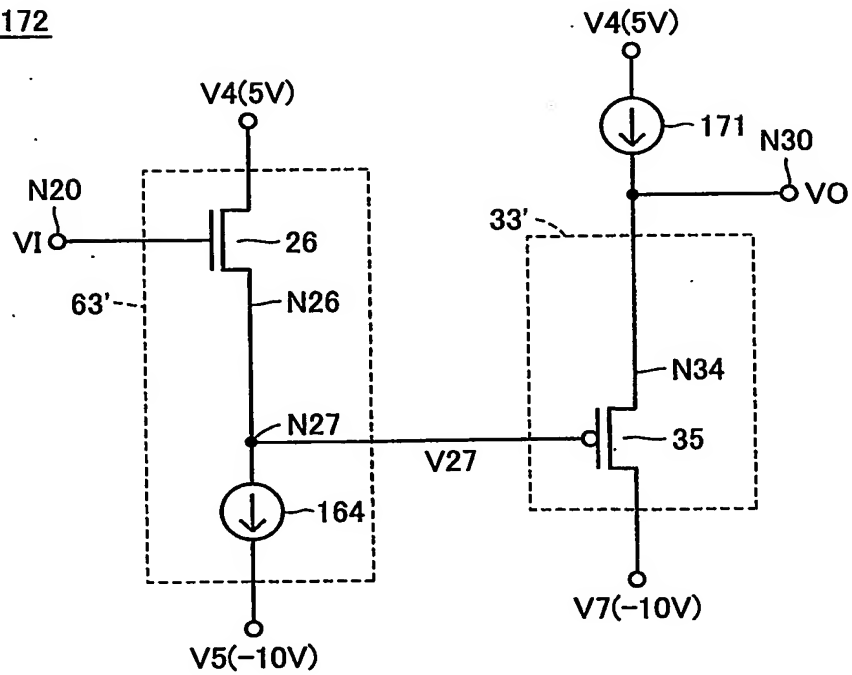


FIG.61

175

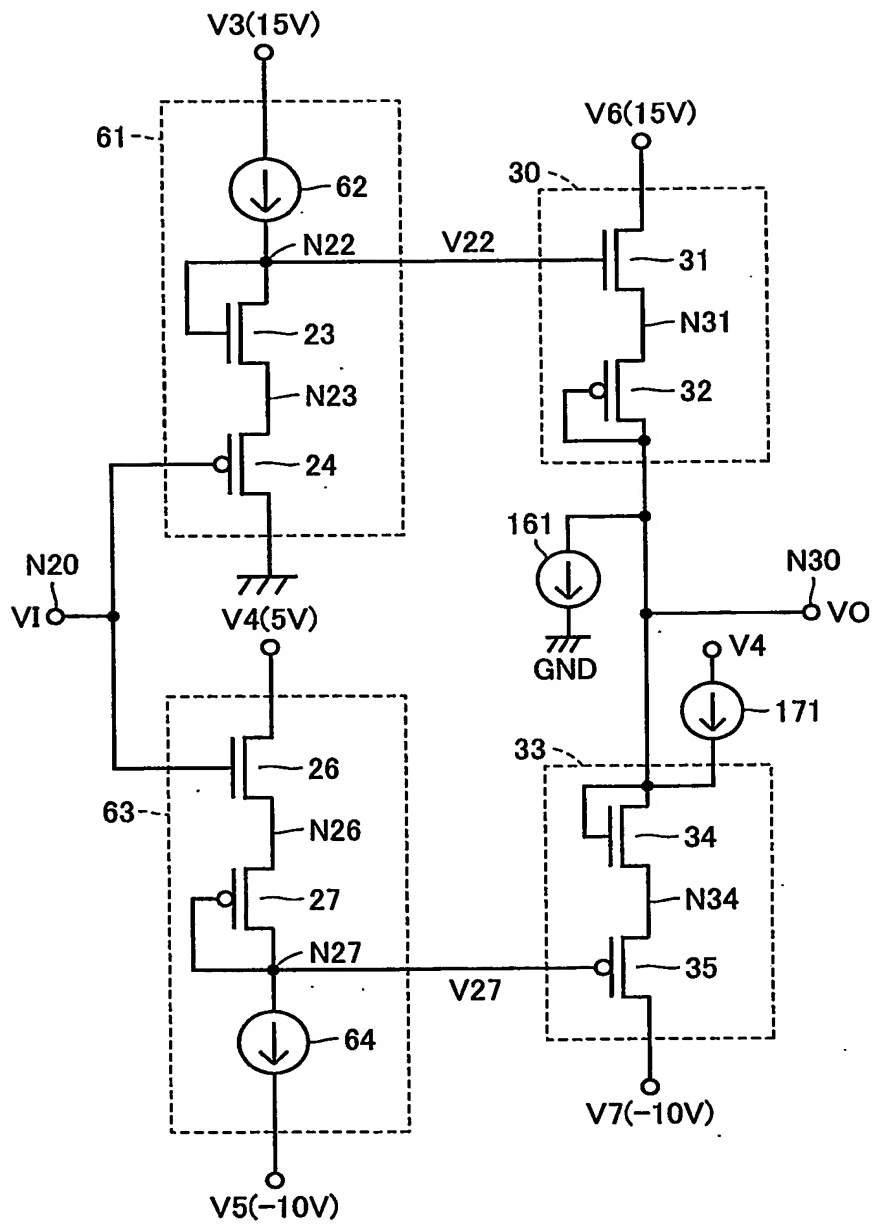


FIG.62

176

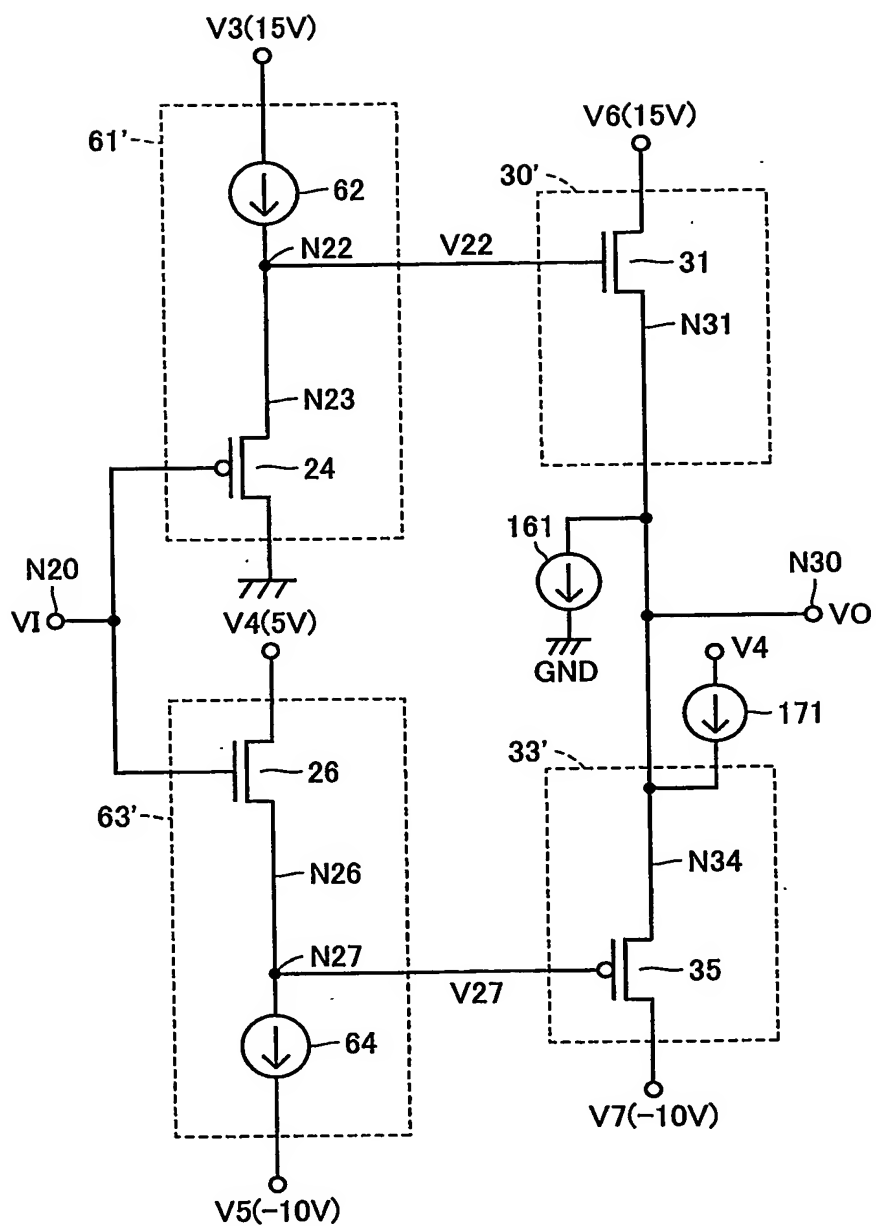


FIG.63

180

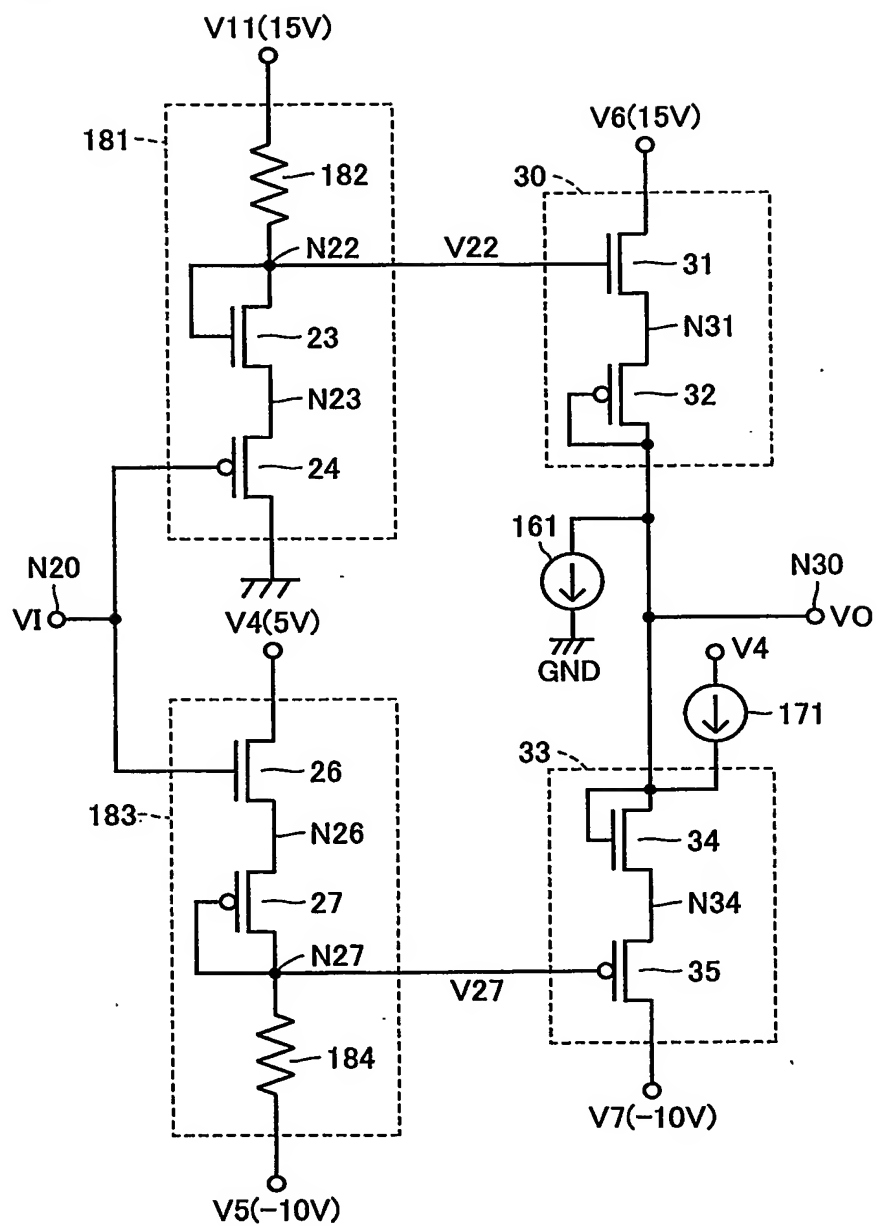


FIG.64

185

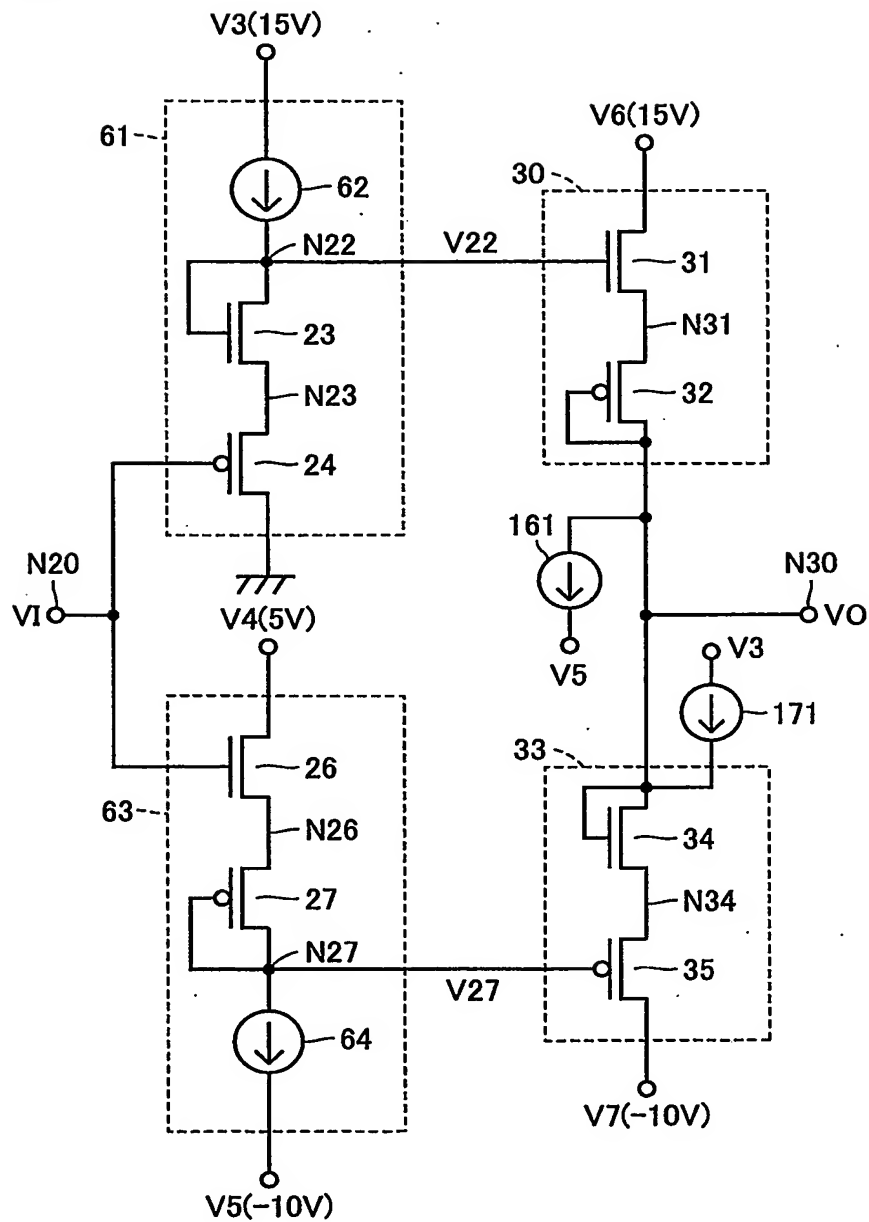


FIG.65

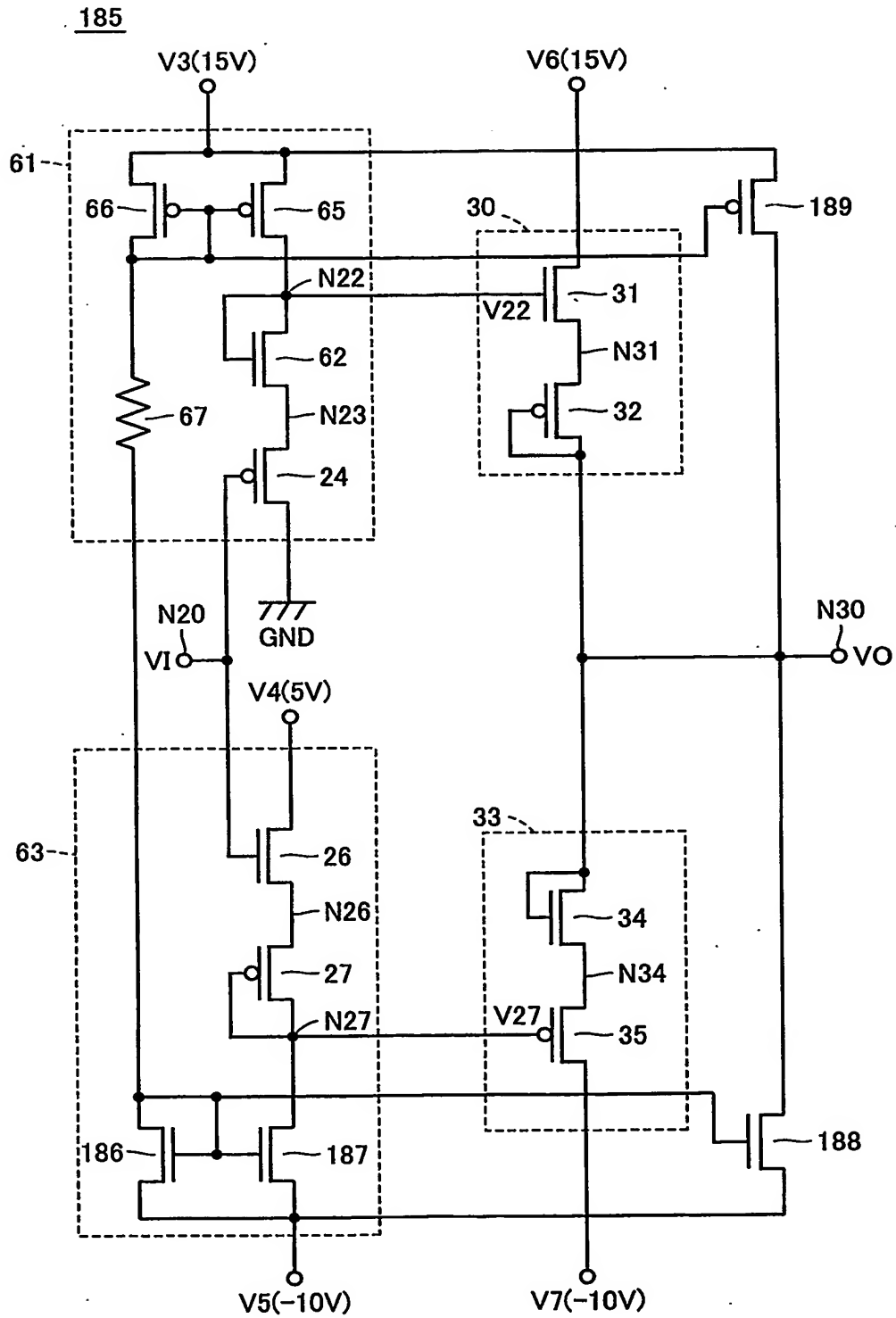


FIG.66

